

Comment exploiter
toutes les ressources
et augmenter les
performances de votre

AMSTRAD



ÉDITIONS WEKA

Partie 2

Conception matérielle des CPC

2/0

Table des matières

2/1	Architecture interne
2/2	Schémas des cartes mères des AMSTRAD CPC 464, 664 et 6128
2/2.1	CPC 464
2/2.2	CPC 664
2/2.3	CPC 6128
2/2.4	Différences de conception
2/3	Les circuits intégrés spécialisés
2/3.1	Le microprocesseur Z80
2/3.2	Le contrôleur d'écran : CRTC et VGA
2/3.2.1	CRT Controller ou CRTC
2/3.3	Le circuit sonore AY3-8912
2/3.4	L'interface parallèle PIO 8255A
2/3.4.1	Exploitation du PIO 8255
2/3.5	Le contrôleur de disque μPD 765AC
2/4	Les mémoires
2/4.1	La mémoire morte (ROM)
2/4.2	La mémoire vive (RAM)
2/5	Les circuits intégrés standards
2/5.1	Les circuits intégrés linéaires
2/5.2	Les circuits intégrés digitaux
2/6	L'horloge interne



Éditions WEKA
82, rue Curial
75935 Paris Cedex 19
Tél. : (1) 40 37 01 00
Télex : 210 504 F
Télécopieur : (1) 40 37 02 17

URGENT



**NE PAS
AFFRANCHIR**

**CORRESPONDANCE
RÉPONSE**

VALABLE DU : 1.09.87
AU : 31.08.90

A utiliser seulement en
France métropolitaine
et dans les départements
d'outre-Mer
pour les envois
ne dépassant pas 20 g

MTP 1167

**EDITIONS WEKA
AUTORISATION N° 257975
75581 PARIS CEDEX 12**

Ecrivez-nous !

Votre AMSTRAD est tombé en panne : vous l'avez réparé vous-même ou donné à dépanner à un professionnel.

Renvoyez-nous l'une de ces cartes en décrivant les défauts constatés, et en précisant si possible quelle était la cause de la panne.

En regroupant ces informations, nous pourrons enrichir cette rubrique au fil de nos compléments et mises à jour et faire profiter tous nos lecteurs de votre expérience personnelle.

Et si vous n'avez pas trouvé la panne, écrivez-nous tout de même : peut-être aurons-nous la réponse !



Éditions WEKA
82, rue Curial
75935 Paris Cedex 19
Tél. : (1) 40 37 01 00
Télex : 210 504 F
Télécopieur : (1) 40 37 02 17

URGENT



**NE PAS
AFFRANCHIR**

**CORRESPONDANCE
RÉPONSE**

VALABLE DU : 1.09.87
AU : 31.08.90

A utiliser seulement en
France métropolitaine
et dans les départements
d'outre-Mer
pour les envois
ne dépassant pas 20 g

MTP 1167

**EDITIONS WEKA
AUTORISATION N° 257975
75581 PARIS CEDEX 12**

CARTE - CONTACT

"Comment exploiter toutes les ressources et augmenter les performances de votre AMSTRAD"

Type de l'ordinateur N° de série

En service depuis

Panne constatée :

La panne était due à :

Pour la réparer, il a fallu :

CARTE - CONTACT

"Comment exploiter toutes les ressources et augmenter les performances de votre AMSTRAD"

Type de l'ordinateur N° de série

En service depuis

Panne constatée :

La panne était due à :

Pour la réparer, il a fallu :

2/1

Architecture interne

Les AMSTRAD CPC sont architecturés autour d'un micro-processeur 8 bits Z80 de chez INTEL.

Ce micro-processeur possède :

- un bus de 16 bits d'adresse. Sa possibilité d'adressage est donc de 2^{16} octets, soit 65536 octets ;
- un bus de données de 8 bits ;
- une entrée horloge de fréquence maximale 4 MHz (Mega Hertz), qui est à 4 MHz sur les CPC ;
- des entrées de gestion d'interruptions masquables et non masquables ;
- un signal de gestion de rafraîchissement des RAM dynamiques ;
- divers signaux de gestion de périphériques ;
- une entrée de remise à zéro ;
- une alimentation unique entre 0 et 5 volts.

Les *principaux circuits périphériques* sont les suivants :

PPI 8255 :

Circuit spécialisé dans la **gestion de données parallèles** sur 8 bits, commercialisé par INTEL.

Ce circuit possède 3 ports de 8 bits. Il s'occupe de la gestion :

- du lecteur de cassettes ;
- du clavier ;
- du circuit sonore ;
- du signal d'occupation de l'imprimante (BUSY).

CRTC 6845 :

Circuit spécialisé dans la **gestion de l'écran**.

VGA HSG 3130 :

Circuit hybride spécialisé dans la gestion de l'écran et des banques mémoires. Ses fonctions sont les suivantes :

- commutation des banques ROM ;
- choix du mode d'affichage sur l'écran ;
- sélection d'une encre ;
- affectation d'une encre à un stylo ;
- réinitialisation du compteur d'interruptions.

AY3-8912 :

Circuit sonore commercialisé par General Instruments. Il gère 3 voies indépendantes et mixables et une voie de bruit blanc mixable aux 3 voies sonores. Il permet de générer des sons simples, des enveloppes de ton et de volume. Grâce à ses registres internes, il peut être programmé par le CPU, et générer le son programmé sans requérir la présence du CPU. Ce dernier peut donc s'occuper d'autres tâches pendant qu'un son est généré.

Les ROM :

Référencées TMM 23256, ce sont des mémoires rapides (200 nanosecondes). Elles occupent 32 KO (kilo-octets) sur CPC 464 et 48 KO sur CPC 664 et 6128.

Les 32 KO sont implantés entre les adresses suivantes :

- #0000 à #3FFF : ROM BIOS
- #C000 à #FFFF : ROM BASIC

Les 16 KO supplémentaires sur 664 et 6128 sont implantés entre les adresses suivantes :

- #C000 à #FFFF : ROM DRIVER DISC

Comme leur nom l'indique :

- les **ROM BIOS** s'occupent de la gestion de l'ordinateur : entrées/sorties et circuits spécialisés ;
- les **ROM BASIC** contiennent l'interpréteur BASIC ;
- les **ROM DRIVER DISC** contiennent les primitives de gestion de l'unité lecteur de disquettes.

Les RAM :

Référencées 4864, elles contiennent 64 kilo bits (soit 8 KO) par circuit. Il y en a donc 8 sur les CPC 464 et 664 et 16 sur le CPC 6128. Elles sont implantées entre les adresses #0000 et #FFFF pour les CPC 464 et 664 et entre les adresses #0000 et #1FFFF pour le CPC 6128.

2/2

Schémas des cartes mères des AMSTRAD CPC 464, 664 et 6128

Nous donnons ici le schéma des cartes qui sont incorporées dans le clavier des CPC.

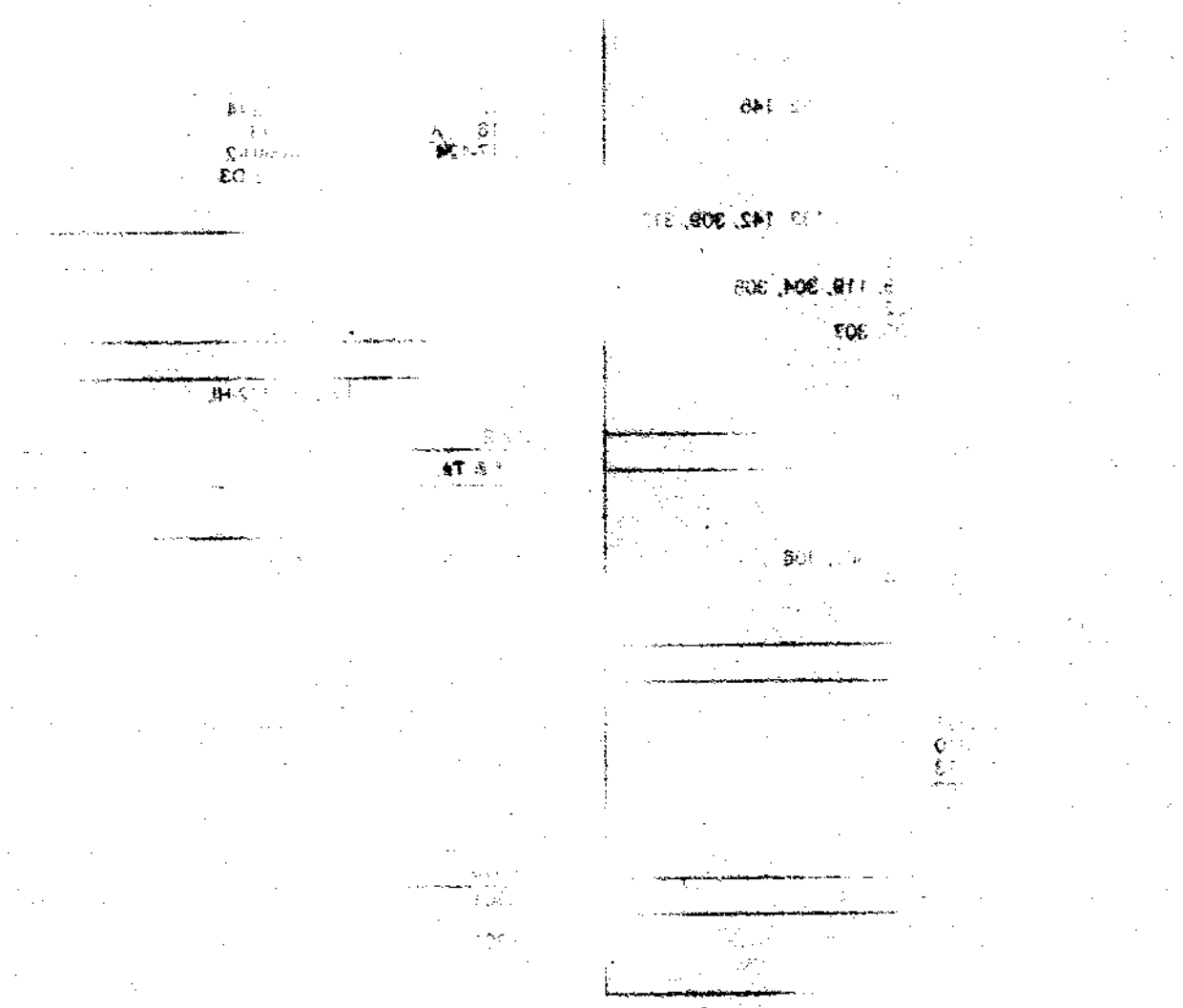
Ces schémas sont assez similaires, mis à part celui du CPC 6128 qui, au niveau de la mémoire RAM doit adresser 128 KO (kilo-octets), ce qui demande une petite logique supplémentaire.

Les grandes parties sont les suivantes :

- quartz à 16 Mhz (méga-hertz),
- microprocesseur Z80-A,
- circuit PIO spécialisé dans la gestion des périphériques parallèles,
- mémoire RAM dynamique,
- mémoire ROM,
- circuit contrôleur d'écran,
- circuit hybride de gestion de mémoires et d'écran GATE ARRAY,
- générateur sonore AY-3-8912,
- divers circuits de gestion comme latches, multiplexeurs, portes logiques, etc.

2/2.1

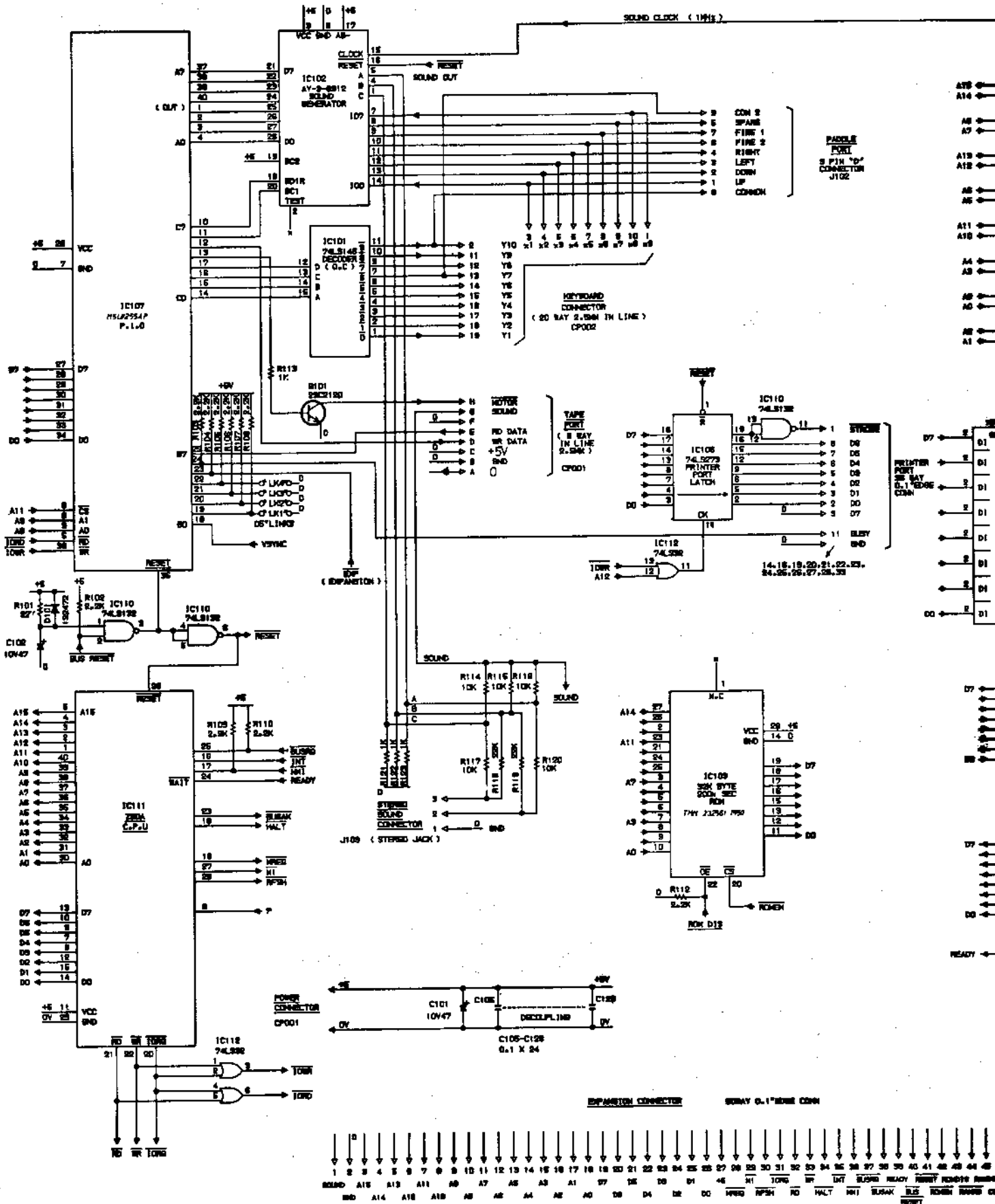
CPC 464



La liste des composants du CPC 464

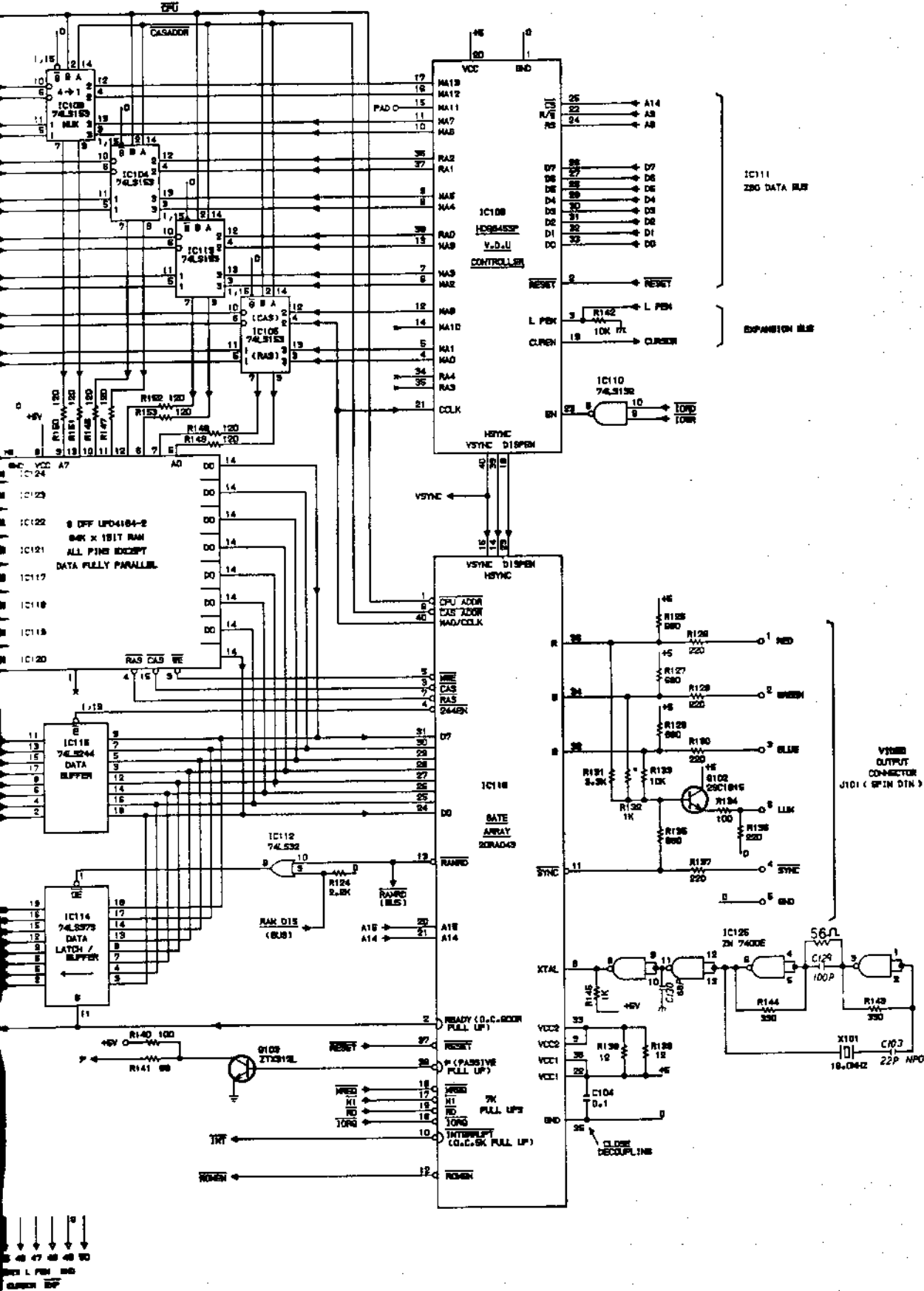
Valeur	Référence
Résistances à film de carbone (1/4 de watt sauf si autre valeur précisée)	
56ohm	R306
68ohm	R141
100ohm	R134, 140
120ohm	R146-153
180ohm	R315
220ohm	R126, 128, 130, 136, 137
330ohm	R143, 144
560ohm	R154, 313, 325
680ohm	R125, 127, 129, 135, 301
820ohm	R324
1kohm	R113, 121-123, 132, 145
2k2ohm	R102-112, 124
3k3ohm	R321
4k7ohm	R320, 323
5k6ohm	R314
10kohm	R114-117, 120, 133, 142, 309, 312
12kohm	R318
18kohm	R308, 311
22kohm	R101, 118, 119, 304, 305
33kohm	R319, 322
47kohm	R302, 303, 307
180ohm	R317
1Mohm	R316
12ohm (1/2W)	R138, 139
Condensateurs électrolytiques	
1uF/50V	C309, 311, 314
10uF/16V	C324
22uF/10V	C308, 318
47uF/10V	C101, 102, 303, 306
100uF/10V	C301, 304
100uF/16V	C315
470uF/10V	C322
Condensateurs céramiques	
33pF/50 V	C316
200pF/50 V	C321
220pF/50 V	C310
270pF/50 V	C313
470pF/50 V	C307
0.001uF/50 V	C320
0.022uF/50 V	C317, 319, 323
0.1uF/50 V	C104-128
Condensateurs polystyrène	
0.001uF	C312
0.01uF	C305
0.068uF	C302

Référence	Description
Circuits Intégrés	
IC101	HD74LS145
IC102	AY-3-8912
IC103	TMM-23256P-1950
IC104, 105, 109, 113	HD74LS153
IC106	HD74LS273
IC107	M5L8255AP-5
IC108	HK6845SP
IC110, 112	HD74LS132
IC111	Z8400APS
IC114	HD74LS373
IC115	HD74LS244
IC116	20RA043
IC117-124	HM4864U-2
IC125	ZN7400E-D3
IC301	LA4140
IC302	LA6324
Transistors	
Q101	KTC2120Y
Q102, 301	KTC1815Y
Q103	ZTX312L
Diodes	
D101	SIL-IS2472-HL
D301	SIL-IN4002
D302	LED-Red.SLP145B
Self & Tx.	
L301	82uH
T101	C-12
Prises Jacks & Connecteurs	
J101	Prise DIN à 6 broches
J102	Port Joystick 9 broches
J103	Port d'entrée/sortie RCA (3.5mm)
J104	Prise Jack d'alimentation
J105-112, 116	Connecteurs 8 broches Dual In Line
J113	Connecteurs 14 broches Dual In Line
J1114,115	Connecteurs 20 broches Dual In Line
Switches (micro-interrupteurs)	
SW301	Interrupteur RIP
SW302	Interrupteur Marche/Arrêt
SW303	Interrupteur Clavier
Autres	
VR301	Résistance variable de contrôle de volume (20 kΩ)
RY301	Relai cassette
SP301	Interlocuteur
X101	Quartz HC-18/u 16Mhz



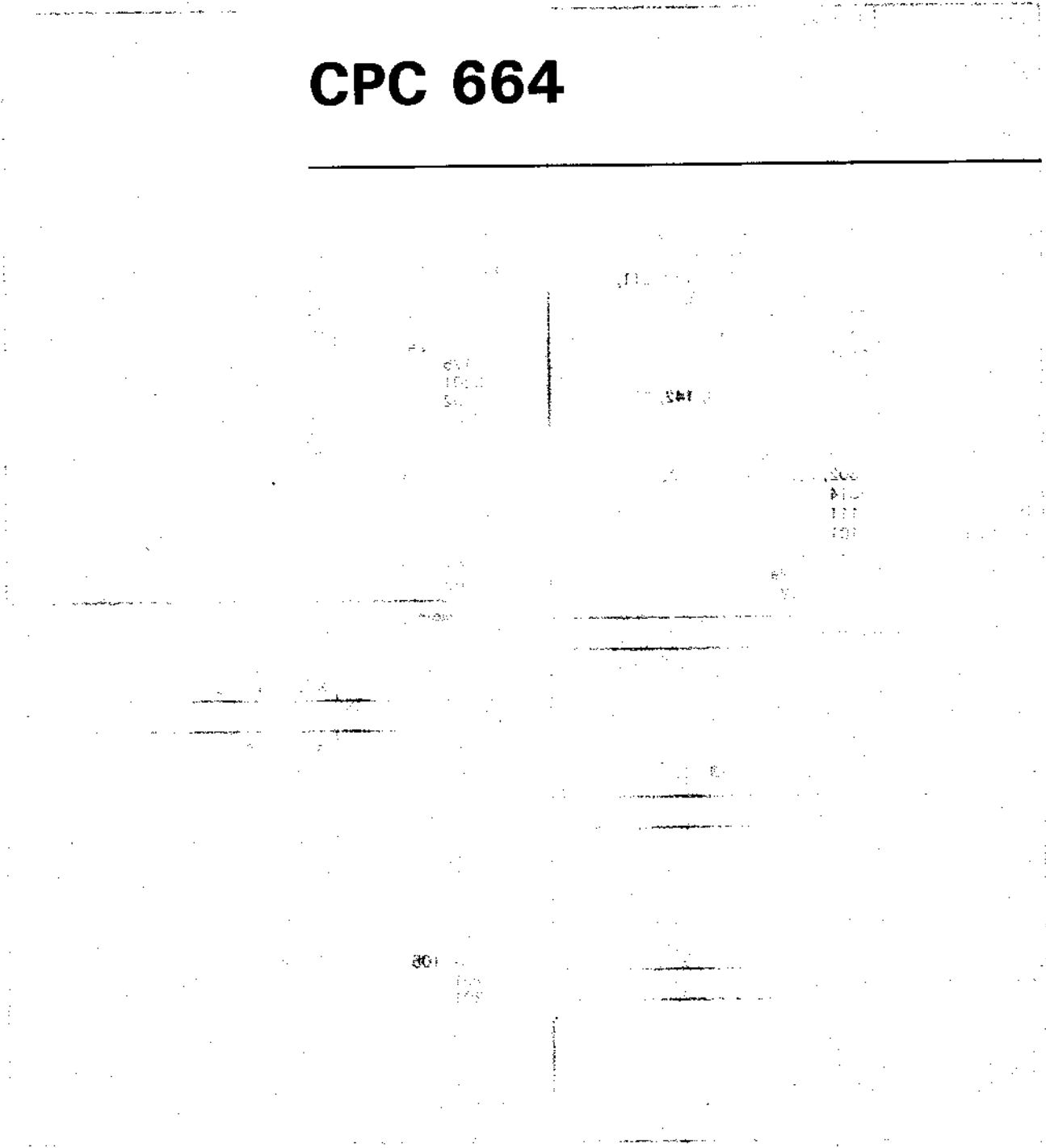
Partie 2 : Conception matérielle des CPC

GRAM



2/2.2

CPC 664

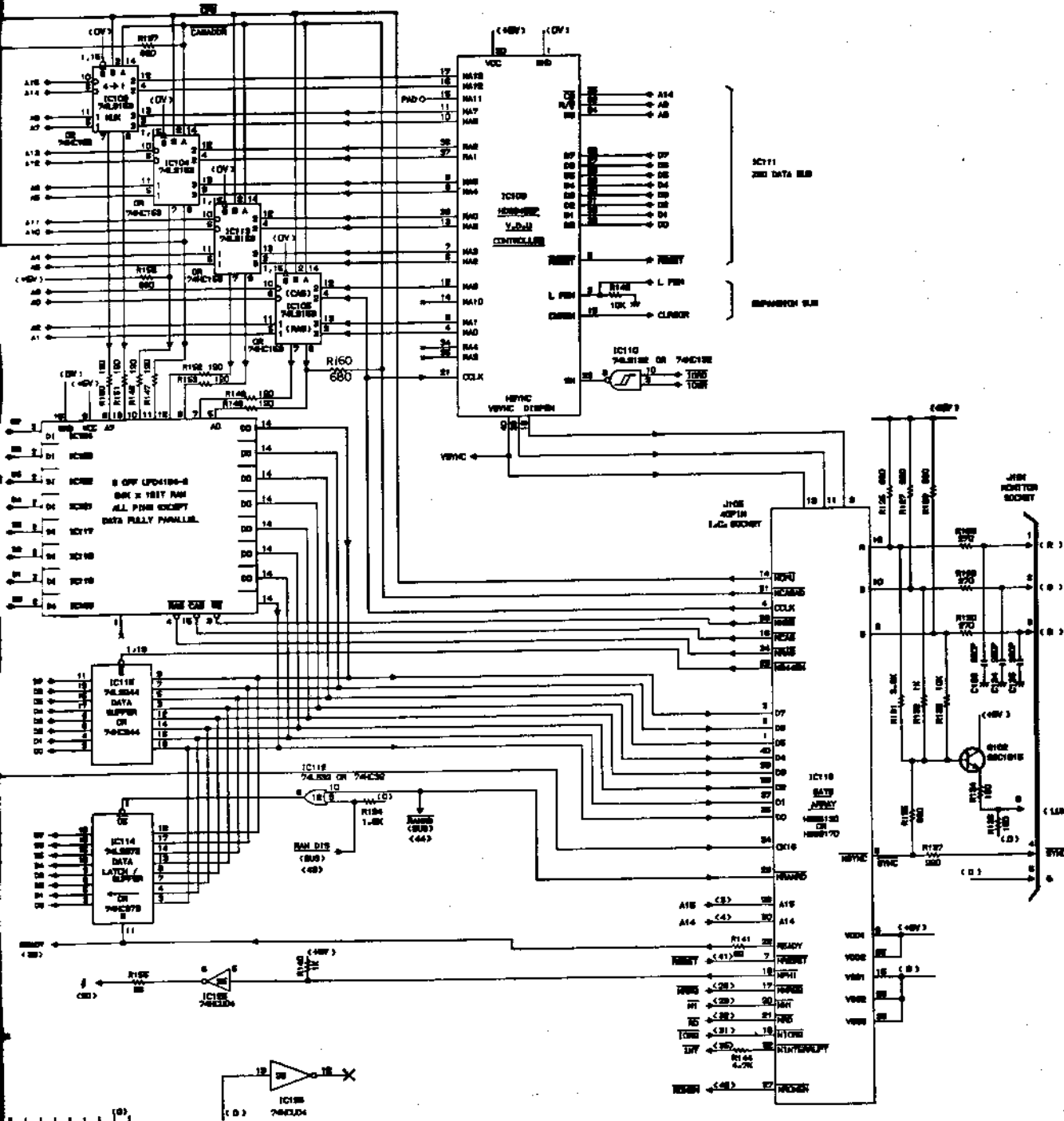


La liste des composants du CPC 664

Valeur	Référence
4ohm7	R323
47ohm	R156, 159
56ohm	R155-306
120ohm	R146-153
150ohm	R136, 218
180ohm	R134
220ohm	R137
270ohm	R126, 128, 130
560ohm	R317
680ohm	R125, 127, 129, 135, 157, 158, 201-206, 215, 301
1kohm	R113, 121-123, 132, 140, 211, 212, 216, 313, 315, 321
1k5ohm	R124
2k2ohm	R102-110, 112, 214
3k3ohm	R131
4k7ohm	R144, 310
10kohm	R114-117, 120, 133, 142, 217, 309, 312
18kohm	R308, 311
22kohm	R118, 119, 304, 305
47kohm	R302, 303, 307, 319, 320
470kohm	R314
1Mohm	R111
3M3ohm	R101
10Mohm	R143, 145
4ohm7	R322 Fusible
100ohm	R316 1/2W
Condensateurs céramiques	
47pF/50 V	C132
68pF/50 V	C130, 131
220pF/50 V	C133-135, 310
270pF/50 V	C313
470pF/50 V	C307
0.1uF/16 V	C101-128, 201, 213
Condensateurs polystyrène	
0.001uF	C312
0.01uF	C305
0.047uF	C318
0.068uF	C302
0.1uF	C319
Condensateurs électrolytiques	
1uF/50V	C309, 311, 314, 316, 317
22uF/10V	C308
47uF/10V	C129, 303, 306
100uF/10V	C301, 304
100uF/16V	C315

Référence	Description
Circuits intégrés	
IC101	HD74LS145
IC102	AY-3-8912
IC103	TMM-23256P-1952
IC104-105, 109, 113	HD74LS153
IC106	HD74LS273
IC107	M5L8255AP-5
IC108	HD6845SP
IC110, 210	HD74LS132
IC111	Z8400APS
IC112, 207	HD74LS32
IC114	HD74LS373
IC115	HD74LS244
IC116	HSG3130/3170
IC117-124	HM4864U-2
IC125	TC74HCU04P
IC201	UPD765AC
IC202	FDC9216BT
IC203	SN74HC240N
IC204	TMM-23128P-1951
IC205	DN74LS08
IC206, 208	DN74LS38
IC209	DN74LS136
IC211	DN74LS27
IC212	DN74LS74
IC213	TC74HC161
IC301	LA4140
IC302	LA63585
Transistors	
Q101	KTC2120Y
Q102, 301, 302	KTC1815Y
Q303	KTC950Y
Diodes	
D101	IS2472-HS
D201	DS442XFA5
D301	IN4402
D302	SLP-145B
D303, 304	KDS1555
Autres	
J101	Jack DIN TCS4460-01-1011
J102	Connecteur D Sub 9 HXC0730-01-010
J103	Jack RCA 3.5 HSJ1061-01-440
J104, 105	Connecteur IC DILB40P-8J
J201	Connecteur IC DILB28P-8J
J301	Jack DC HECO470-01-630
J302	Jack DIN TCS4450-01-101
SW301	Interrupteur ESD-3975
X101	Quartz HC-49/U
RY301	Relai cassette G4S-1112P-1-B-19
SP301	Interlocuteur CO40K01K2451
CP 201	Cordon d'alimentation du disque
CP 301	Cordon d'alimentation 14550401

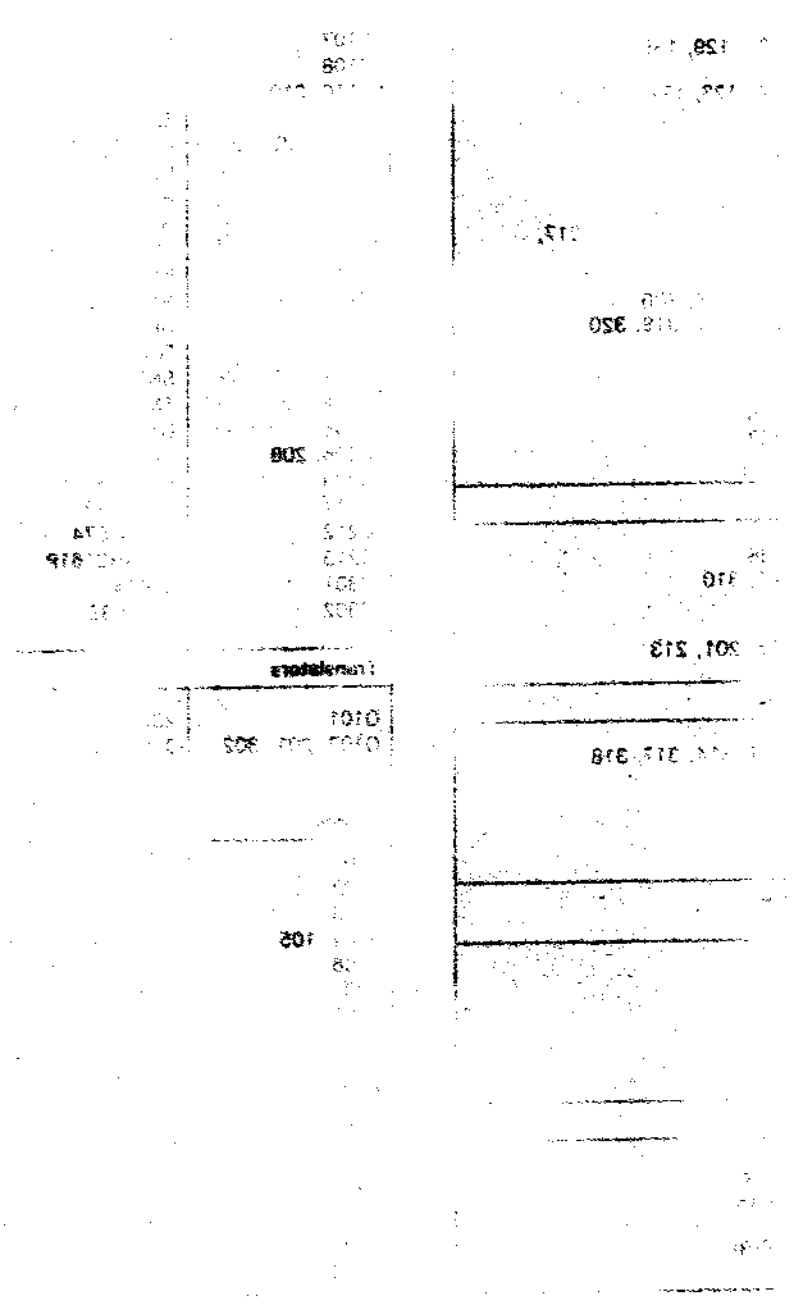
CIRCUIT DIAGRAM



2/2.3

Amstrad 6128

CPC 6128

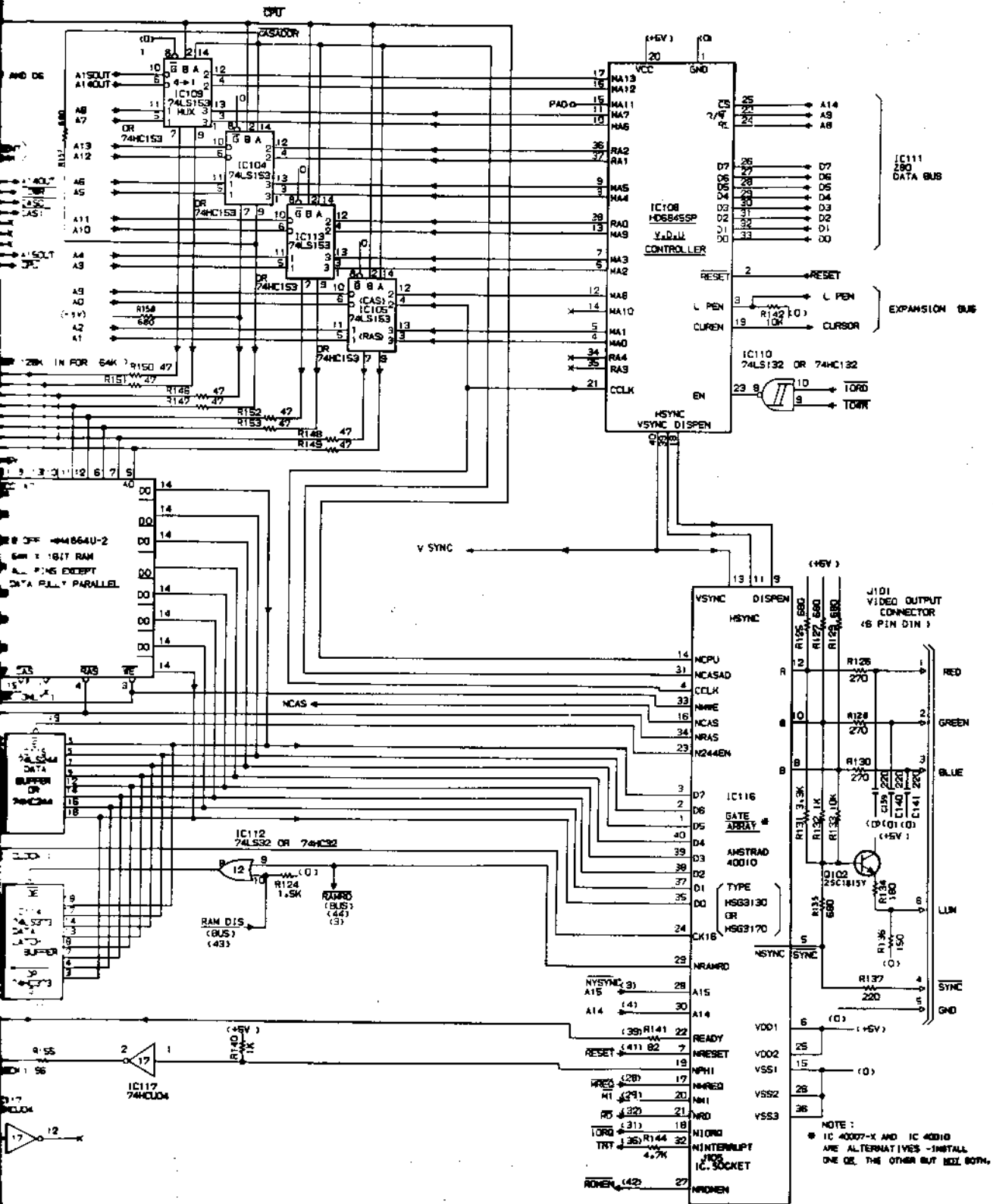


La liste des composants du CPC 6128

Valeur	Référence
Résistances à film de carbone	
47ohm	R146-153, 161, 162
56ohm	R155-306
82ohm	R141
150ohm	R136
180ohm	R134
220ohm	R137
270ohm	R126, 128, 130
560ohm	R317
880ohm	R125, 127, 129, 135, 157, 158, 301
1kohm	R113, 121-123, 132, 140, 211, 212, 216, 313, 315, 321
1k5ohm	R124
2k2ohm	R102, 109, 110, 112, 214
3k3ohm	R131
4k7ohm	R144, 310, 323
10kohm	R114-117, 120, 133, 142, 217, 309, 312
18kohm	R308, 311
22kohm	R118, 119, 304, 305
47kohm	R302, 303, 307, 319, 320
470kohm	R314
1Mohm	R111
3M3ohm	R101
10Mohm	R143, 145
4ohm 1/4W	Fuse R322
100ohm 1/2W	R316
Condensateurs céramiques	
15pF	C137, 138
220pF	C139-141, 310
270pF	C313
470pF	C306
0.1uF	C101-135, 201, 213
Condensateurs électrolytiques	
1uF/50V	C309, 311, 314, 317, 318
22uF/10V	C308
47uF/10V	C136, 303, 306
100uF/10V	C301, 304
100uF/16V	C315
Condensateurs polycarbonate (tension max. 50 V continu)	
0.001uF	C312
0.01uF	C305
0.047uF	C318
0.068uF	C302
0.1uF	C319, 320
Diodes	
D101, 303, 304	1S2472-HS
D201	DS442XFA5
D301	10E1
D302	SLP-155B(R)

Référence	Description
Circuits intégrés	
IC101	HD74LS145
IC102	AY-3-8912
IC103	TMM-23256P-1953
IC104, 105, 109	HD74LS153
113	
IC106	HD74LS273
IC107	M5L8255AP-5
IC108	HD6845SP
IC110, 210	HD74LS132
IC111	Z8400APS
IC112, 207	HD74LS32
IC114	HD74LS373
IC115	HD74LS244
IC116	HSG3130/3170
IC117	TC74HCU04P
IC118	PAL 16LBAC
IC119-134	MSM3764-20RS
IC201	UPD765AC-2
IC202	FDC9216BT
IC203	SN74HC240N
IC204	TMM-23128P-1851
IC205	DN74LS08
IC206, 208	DN74LS38
IC209	DN74LS136
IC211	DN74LS27
IC212	DN74LS74
IC213	TC74HC161P
IC301	LA4140
IC302	LA6358S
Transistors	
Q101	2SC2120Y
Q102, 301, 302	2SC1815Y
W303	2SC950Y
Autres	
J101	Jack DIN
J102	Connecteur D Sub 9
J103	Jack RCA3.5
J104, 105	Connecteur IC 20 Pin DIL
J106	Connecteur IC 10 Pin DIL
J301	Jack D.C.
J302	Jack DIN
VR301	Vol. Rot. 20k
CD302	D.C. Cord
CD201	Cord Connector
FDD201	Lecteur de disquette EME155
NR101	R. Network Exb P86222J
NR201	R. Network Exb P87681J
RY301	Relai cassette G4S-1112P-1-B-19
SP301	Interlocuteur C040K01K2451
X101	Quartz HC-18RW 16MHz

IT DIAGRAM



PCB MC0009A

CHASSIS SCHEMATIC DIAGRAM

NOTE: THIS SCHEMATIC DIAGRAM IS THE LATEST AT THE TIME OF PRINTING AND SUBJECT TO CHANGE WITHOUT NOTICE.

M206-01
1-3583

(Document AMSTRAD)

2/2.4

Différences de conception

Les trois CPC ont des différences minimales au niveau matériel.

Si nous partons du modèle de base CPC 464, le passage au CPC 664 a permis essentiellement :

- d'implanter un lecteur de disquettes interne à la place du lecteur de cassettes,
- d'améliorer légèrement le BASIC logé dans les ROM hautes (voir partie 4 chap. 1.3).

Le passage du CPC 664 au CPC 6128 a consisté à reprendre le circuit de base du 664 et à lui adjoindre la logique nécessaire (commutation de banques de mémoire) pour piloter 128 KO de RAM et 48 KO de ROM (au lieu de 64 KO de RAM et 48 KO de ROM).

2/3

Les circuits intégrés spécialisés

2/3.1

Le microprocesseur Z80

Le Z80 est un microprocesseur LSI (Large Scale Integration, ou intégration à grande échelle) 8 bits complètement compatible avec le 8080A (le Z80 accepte tous les ordres du 8080A) qui est né avant lui, il y a une dizaine d'années. Ces deux microprocesseurs ont été beaucoup utilisés, et sont encore beaucoup utilisés sur de petits systèmes industriels.

Le Z80 a une capacité d'adressage de 64 Kilo-octets de mémoire RAM ou ROM grâce à son bus d'adresse de 16 bits ($2^{16} = 65536$, soit 64 Kilo-Octets).

Son bus de données est de 8 bits, ce qui le classe dans la famille des micro-processeurs 8 bits.

Sa fréquence d'horloge typique est de 4 MHz (Méga Hertz), ce qui lui confère une place confortable parmi les processeurs 8 bits du même type installés sur les micro-ordinateurs familiaux, qui, souvent, acceptent une fréquence d'horloge maximum de 1 ou 2 MHz.

Sur les systèmes AMSTRAD CPC, le Z80 est cadencé par une horloge à 4 MHz, et adresse :

- pour le CPC 464 : 64 KO de RAM et 32 KO de ROM,
- pour le CPC 664 : 64 KO de RAM et 48 KO de ROM,
- pour le CPC 6128 : 128 KO de RAM et 48 KO de ROM.

Ces capacités d'adressage dépassent les 64 KO possibles, et on a recours à un artifice appelé « pagination » pour dépasser le seuil fatidique des 64 KO.

La pagination met en œuvre des pages mémoire (d'où son nom) couramment appelées *banques RAM* ou *banques ROM* suivant leur nature. Sur AMSTRAD, une banque fait 16 KO. A un moment donné, le microprocesseur pourra adresser 4 banques quelconques de mémoires RAM ou ROM. Pour adresser plus de 64 KO, il suffira de faire commuter les banques quand cela sera nécessaire (quand le Z80 voudra accéder à une banque différente des 4 courantes).

Le Z80 possède 26 octets de mémoire RAM interne répartis dans les registres suivants :

A	F	A'	F'
B	C	B'	C'
D	E	D'	E'
H	L	H'	L'

Vecteur d'interruption I

Rafraîchissement mémoire R

Registres d'index IX et IY

Pointeur de pile SP

Compteur de programme PC

PC

Program Counter (ou compteur de programme) est un registre 16 bits qui pointe sur l'adresse de l'instruction courante.

SP

Stack Pointer (ou pointeur de pile) est un registre 16 bits qui donne l'adresse de la pile LIFO (Last In First Out, ou dernier entré premier sorti) située en RAM externe. Les instructions de manipulation de la pile sont POP (sortie de pile) et PUSH (mise en pile).

La désignation LIFO caractérise le type d'entrée/sortie des données dans un espace mémoire appelé *pile*. La dernière donnée entrée par l'instruction PUSH est la première sortie par l'instruction POP. Ainsi, si vous faites :

PUSH HL

PUSH BC

PUSH IX**POP BC**

Le registre pair BC contiendra la dernière valeur mise en pile par l'instruction PUSH, c'est-à-dire la valeur contenue dans IX. Si vous refaites un POP, c'est BC qui sera dépilé, et si vous refaites un troisième POP, c'est HL qui sera dépilé.

Les piles gérées en interne par la logique des microprocesseurs sont pratiquement toujours du type LIFO.

Cependant, il existe d'autres types de piles appelées LIFO et FIFO. La pile FILO (First In Last Out, ou premier entré dernier sorti) est assez rarement utilisée.

La pile FIFO (First In First Out, ou premier entré premier sorti) est surtout utilisée pour stocker des données que l'on ne peut pas traiter instantanément (pour des problèmes d'occupation du microprocesseur à d'autres tâches, par exemple). Ces données sont mémorisées, et la première donnée mémorisée est la première à être traitée.

IX**IY**

Ce sont des registres 16 bits utilisés en adressage indexé. Ils donnent la base de l'adressage. Reportez-vous à la partie 4 chap. 2.2 pour avoir plus de détails à ce sujet.

Nous ferons par exemple : LD A,(IX+4)

Cette instruction charge dans le registre A le contenu de la mémoire pointée par l'adresse IX+4.

I

Registre d'interruption qui donne la partie haute de l'adresse où doit se produire le débranchement en cas d'interruption.

R

Registre de rafraîchissement. Il contient l'adresse basse qui sera mise sur le bus d'adresse à chaque fois que le CPU est en train de lire et de décoder une instruction. Cette façon de procéder fait en sorte qu'aucune perte de temps n'est engendrée, puisque le bus est réquisitionné pour rafraîchir la mémoire pendant que le Z80 ne l'utilise pas.

Ce registre est automatiquement incrémenté à chaque instruction.

A

Accumulateur. C'est par lui que passent la plupart des opérations logiques ou arithmétiques sur 8 bits. Son accès est très rapide et les modes d'adressages qui le concernent sont multiples et variés.

F

Flags (ou drapeaux). Ils donnent l'état de la dernière opération effectuée.

Les registres A et F peuvent être manipulés simultanément sous la forme du registre pair AF.

Registres à usage général

B, C, D, E, H et L sont des registres 8 bits qui peuvent être utilisés comme registres pairs (16 bits) sous les dénominations suivantes : BC, DE et HL. Ils possèdent leurs homonymes :

- sur 8 bits : B', C', D', E', H' et L',
- sur 16 bits : BC', DE' et HL'.

LE CIRCUIT INTÉGRÉ Z80

C'est un circuit à 40 pattes dont le brochage est le suivant :

M1		A0
		A1
$\overline{\text{MREQ}}$		A2
		A3
$\overline{\text{IORQ}}$		A4
		A5
$\overline{\text{RD}}$		A6
		A7
$\overline{\text{WR}}$		A8
		A9
$\overline{\text{RFSH}}$		A10
		A11
$\overline{\text{HALT}}$	Z80	A12
		A13
$\overline{\text{WAIT}}$	CPU	A14
		A15
$\overline{\text{NMI}}$		
$\overline{\text{RESET}}$		Ø
$\overline{\text{BUSRQ}}$		D0
		D1
$\overline{\text{BUSAQ}}$		D2
		D3
GND		D4
		D5
+5V		D6
		D7
GND		

A0 à A15

Bus d'adresse tristate en sortie actif à l'état haut sur 16 bits. A0 est le bit le moins significatif (LSB), et A15 le bit le plus significatif (MSB).

D0 à D8

Bus de données tristate en entrée/sortie actif à l'état haut sur 8 bits. D0 est le bit le moins significatif (LSB), et D7 le bit le plus significatif (MSB).

 $\overline{M1}$:

Sortie active à l'état bas, signale que le cycle horloge courant est consacré à une identification d'op-code, ou qu'un IORQ est actif.

 \overline{MREQ} :

Sortie tristate active à l'état bas. Signale que le bus d'adresse est en attente d'une adresse pour lire ou écrire en mémoire.

 \overline{IORQ} :

Sortie tristate active à l'état bas. Signale l'un des deux événements suivants :

1°) la partie de poids faible du bus d'adresse est en attente d'une adresse pour lire ou pour écrire en mémoire ;

2°) un vecteur d'interruption peut être placé sur le bus de données pour être acquis.

 \overline{RD} :

Sortie tristate active à l'état bas. Signale que le CPU veut lire des données en mémoire ou sur un périphérique.

 \overline{WR} :

Sortie tristate active à l'état bas. Signale que le bus de données contient une donnée qui peut être stockée en mémoire ou envoyée vers un périphérique.

 \overline{RFSH} :

Sortie active à l'état bas. Indique que les 7 bits de poids faible du bus d'adresse contiennent une adresse de rafraîchissement des RAM dynamiques.

HALT :

Sortie active à l'état bas. Indique qu'une instruction HALT a été exécutée par le CPU. Ce dernier est en attente d'une interruption. Pendant ce temps, il exécute des NOP pour pouvoir rafraîchir ses RAM dynamiques.

WAIT :

Entrée active à l'état bas. Indique que la mémoire ou le périphérique n'est pas prêt à être accédé.

INT :

Entrée active à l'état bas. INT est générée par un périphérique pour signaler qu'il désire qu'on s'occupe de lui. La requête prendra effet à la fin de l'exécution de l'instruction courante si le flag IFF est valide et si BUSRQ est inactif.

NMI :

Entrée active sur front bas. Cette demande d'interruption est plus prioritaire que INT. Elle est prise en compte quel que soit l'état du flag IFF. Cette interruption débranche le CPU à l'adresse 0066H. Le PC est automatiquement sauvegardé, et la sortie d'interruption ramènera le PC à l'endroit où il avait été sauvegardé.

RESET :

Entrée active à l'état bas. Le PC est mis à 0 et le CPU est initialisé : IFF = 1, I = 0, R = 0, IM = 0. Pendant la phase de reset, les bus de données et d'adresses sont dans l'état tristate.

BUSRQ :

Entrée active à l'état bas. Signale qu'un périphérique demande un accès aux bus de données, d'adresses et signaux de contrôles. Ces diverses pattes vont passer dans un état tristate.

BUSAQ :

Sortie active à l'état bas. Signale que les bus d'adresses, de données et les signaux de contrôle sont dans un état tristate, et que le périphérique qui a demandé de les contrôler peut le faire dès à présent.

Ø :

Horloge de cadencement du microprocesseur.

2/3.2

Le contrôleur d'écran : CRTC et VGA

2/3.2.1

CRT Controller ou CRTC

Le circuit CRTC de référence MC 6845 proposé par MOTOROLA est un circuit intégré à haute intégration comportant 40 broches, dont la fonction est la génération des signaux nécessaires pour produire une image qui sera affichée sur l'écran cathodique d'un moniteur ou d'un téléviseur.

L'organisation interne de ce circuit est la suivante :
(Voir schéma page suivante.)

Nous voyons que le CRTC contient 19 registres.

Ces registres sont chargés automatiquement par l'AMSTRAD au moment où vous le mettez sous tension. Ils ne doivent pas être modifiés sauf si vous désirez créer des effets spéciaux ou interfacer un light-pen.

Leur utilisation est la suivante :

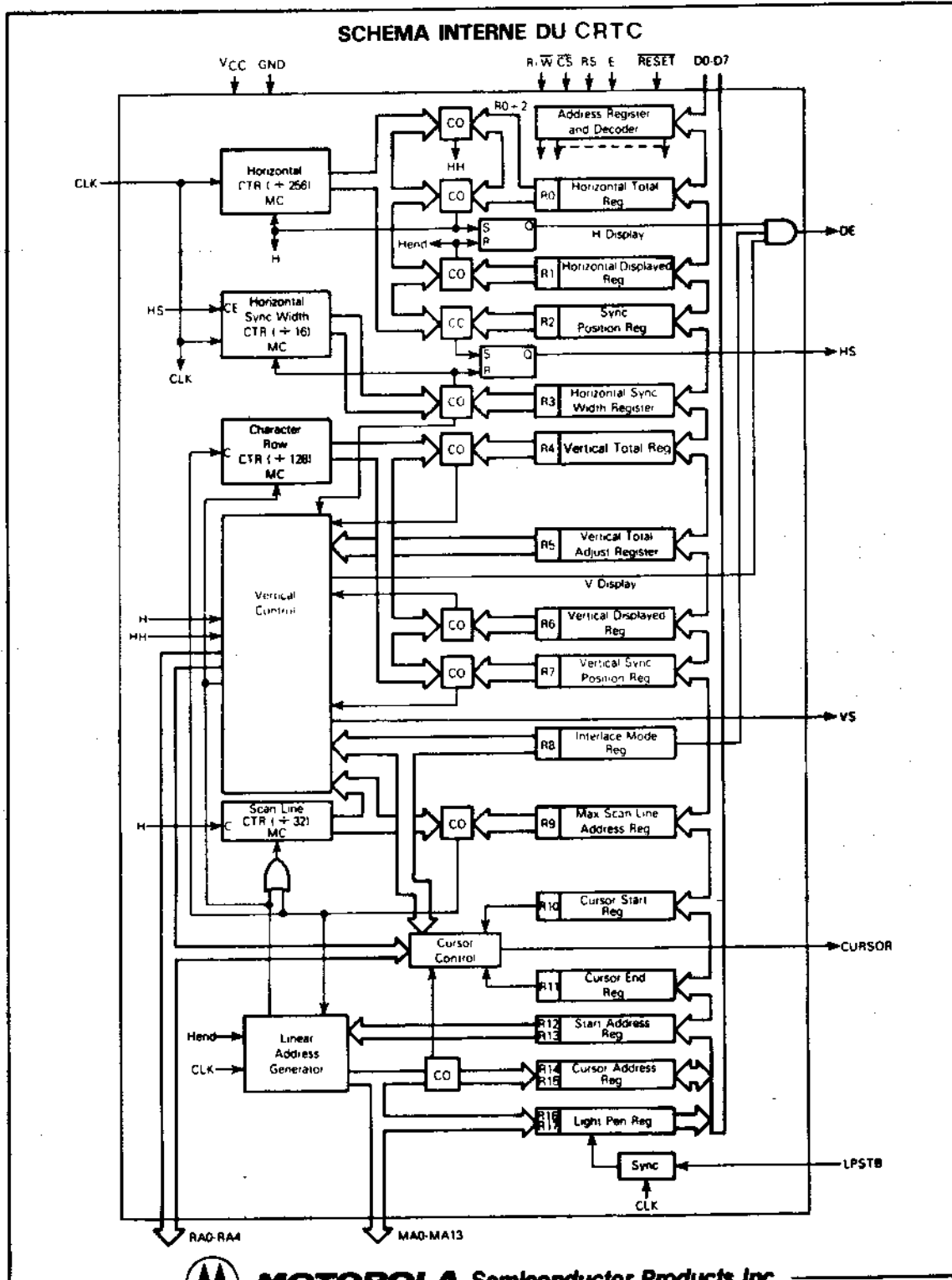
AR = ADDRESS REGISTER

(Registre d'adresse)

Ce registre est accédé à travers le bus de données.

Il permet de sélectionner un des 18 registres internes (R0 à R17).

Quand RS = 0 et CS = 0, le registre d'adresse est accessible.



Quand $RS = 1$ et $CS = 0$, le registre pointé par AR est accessible.

R0 = HORIZONTAL TOTAL REGISTER

(Fréquence horizontale totale)

Ce registre 8 bits à écriture seule définit la fréquence de synchronisation horizontale : temps nécessaire pour afficher une ligne horizontale + temps nécessaire pour le retour du spot - 1.

R1 = HORIZONTAL DISPLAYED REGISTER

(Nombre de caractères affichés par ligne)

Ce registre 8 bits à écriture seule définit le nombre de caractères affichés par ligne.

Remarque : R1 doit être inférieur ou égal à R0.

R2 = HORIZONTAL SYNC POSITION REGISTER

(Synchronisation horizontale)

Ce registre 8 bits à écriture seule permet de contrôler la synchronisation horizontale : délai de synchronisation (front porch) et délai de balayage horizontal (back porch).

Remarque : R2 doit être inférieur ou égal à R0 et supérieur à R1.

R3 = SYNC WIDTH REGISTER

(Largeur de la synchronisation horizontale)

Ce registre 8 bits à écriture seule dont 4 bits seulement sont utiles définit la largeur du top de synchronisation horizontale. Il doit avoir une valeur comprise entre 1 et 15. Il est exprimé en multiple du nombre de périodes d'horloge nécessaires à l'affichage d'un caractère.

R4 = VERTICAL TOTAL REGISTER

(Nombre de lignes par écran)

Ce registre 8 bits à écriture seule dont 7 bits seulement sont utiles détermine le nombre entier de lignes de caractères - 1 à partir duquel sera calculée la fréquence de synchronisation verticale.

R5 = VERTICAL TOTAL ADJUST REGISTER

(Ajustage du nombre de lignes par écran)

Ce registre 8 bits à écriture seule dont 5 bits seulement sont utiles déter-

mine le nombre de lignes de trames à ajouter à R4 pour calculer la fréquence de synchronisation verticale.

R6 = VERTICAL DISPLAYED REGISTER

(Nombre de lignes affichées à l'écran)

Ce registre 8 bits à écriture seule dont 7 seulement sont utiles définit le nombre de lignes de caractères affichés à l'écran.

Remarque : R6 doit être inférieur à R4.

R7 = VERTICAL SYNC POSITION

(Synchronisation verticale)

Ce registre 8 bits à écriture seule dont 7 seulement sont utiles permet de contrôler la synchronisation verticale. Il définit le nombre de lignes de trames à balayer avant d'activer le signal VSYNC.

Remarque : R7 doit être inférieur à R4 et supérieur à R6.

R8 = INTERLACE MODE AND SKEW REGISTER

(Mode normal ou entrelacé)

Ce registre 8 bits dont 2 seulement sont utiles permet de définir le mode de fonctionnement du CRTIC :

Bit 0	Bit 1	Fonction
0/1	0	Mode normal (non entrelacé)
0	1	Mode entrelacé
1	1	Mode entrelacé et vidéo

Les modes définis ci-dessus ont la signification suivante :

Par exemple, sur la lettre T :

000000

00

00

00

00

00

00

Mode normal

000000

000000

00

00

00

00

00

00

00

00

00

00

Mode entrelacé

000000

000000

00

00

00

00

00

Mode entrelacé et vidéo

R9 = MAXIMUM SCAN LINE ADDRESS REGISTER

(Nombre de lignes élémentaires par caractère)

Ce registre 8 bits à écriture seule dont 5 bits sont utiles permet de définir le nombre de lignes élémentaires par caractère - 1.

R10 = CURSOR START REGISTER

(Début du curseur)

Ce registre 8 bits à écriture seule dont 7 bits sont utiles permet de définir la position de la première ligne élémentaire du curseur (bits 0 à 4) et la vitesse de clignotement du curseur.

Les bits 5 et 6 définissent la vitesse de clignotement comme suit :

Bit 6	Bit 5	Fonction
0	0	Pas de clignotement
0	1	Curseur invisible
1	0	Clignotement lent
1	1	Clignotement rapide

R11 = CURSOR END REGISTER

(Fin du curseur)

Ce registre 8 bits à écriture seule dont 5 bits sont utiles permet de définir la position de la dernière ligne élémentaire du curseur (bits 0 à 4).

R12-R13 = START ADDRESS REGISTER

(Adresse de la RAM d'écran)

Registres à lecture/écriture.

Première adresse de la RAM d'écran affichée après un « vertical blanking ». Les 6 bits de poids faible de R12 donnent le poids fort de cette adresse, et les 8 bits de R13 le poids faible de cette adresse.

R14-R15 = CURSOR REGISTER

(Position du curseur)

Registres à lecture/écriture.

Permet de positionner le curseur n'importe où sur l'écran. Les 6 bits de poids faibles de R14 donnent le poids fort de l'adresse, et les 8 bits de R15 le poids faible de l'adresse.

R16-R17 = LIGHT-PEN REGISTER

(Position du light-pen)

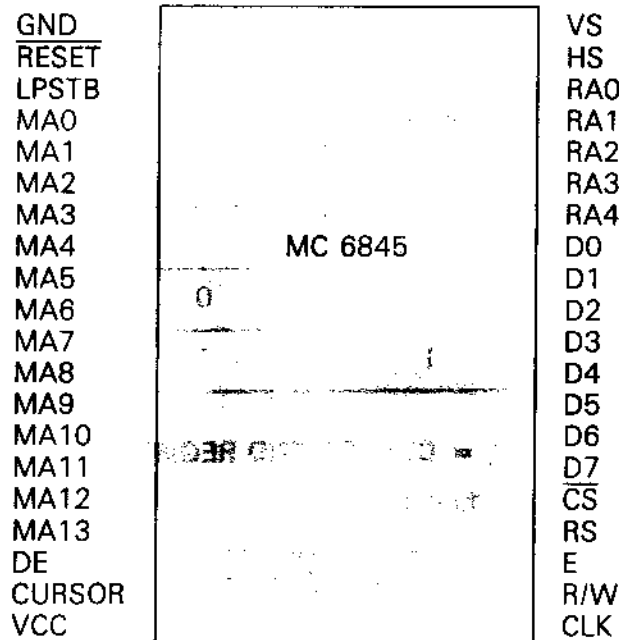
Registres à lecture seule.

Permet de connaître la position du light-pen sur l'écran.

Les 6 bits de poids faible de R17 donnent le poids fort de l'adresse, et les 8 bits de R16 le poids faible de l'adresse.

LE CIRCUIT INTÉGRÉ MC 6845

C'est un circuit à 40 pattes dont le brochage est le suivant :

**D0 à D7 :**

(DATA BUS ou bus de données). Bus de données bidirectionnel tristate entre CRTIC et micro-processeur.

E :

(ENABLE ou validation). Signal tristate compatible avec la logique TTL et CMOS. Un front descendant sur cette broche valide les données présentes sur le bus de données.

CS :

(CHIP SELECT ou validation du circuit). Signal tristate compatible avec la logique TTL et CMOS. Quand ce signal est bas, l'accès au CRTIC est valide : les registres internes peuvent être lus ou écrits.

RS :

(REGISTER SELECT ou sélection de registre). Signal tristate compatible avec la logique TTL et CMOS. Si RS = 0, le registre d'adresse peut être sélectionné, si RS = 1, le registre de données ou un registre interne peut être sélectionné.

: 22V to 33V

R/W :

(READ/WRITE ou lecture/écriture). Signal tristate compatible avec la logique TTL et CMOS. Détermine si les registres internes vont être accédés en lecture ou en écriture.

VS et HS :

(VERTICAL SYNC and HORIZONTAL SYNC ou synchronisations verticale et horizontale). Sorties compatibles avec la logique TTL actives à l'état haut. Ces signaux sont destinés au processeur vidéo pour générer un signal composite.

DE :

(DISPLAY ENABLE ou affichage valide). Sortie compatible avec la logique TTL active à l'état haut. Indique si le CRTC est en train de manipuler une adresse en RAM écran.

MA0 à MA13 :

(REFRESH MEMORY ADDRESSES ou adresses de rafraîchissement de mémoire d'écran). Sorties destinées au rafraîchissement des mémoires RAM écran par bloc de 16 KO (Kilo-Octets).

RA0 à RA4 :

(ROW ADDRESSES ou adresses de lignes). Sorties destinées à lire les caractères à afficher dans la ROM du générateur de caractères.

CURSOR :

Sortie compatible avec la logique TTL active à l'état haut. Indique qu'une adresse valide est disponible pour la logique vidéo externe.

CLK :

(CLOCK ou horloge). Entrée comptable avec la logique TTL et CMOS active sur un front descendant. Permet de synchroniser toutes les fonctions d'écran.

LPSTB :

(LIGHT PEN STROBE ou lecture de la position du stylo lumineux). Un front descendant sur cette broche positionne l'adresse courante de rafraîchissement de RAM d'écran dans le registre « light pen ».

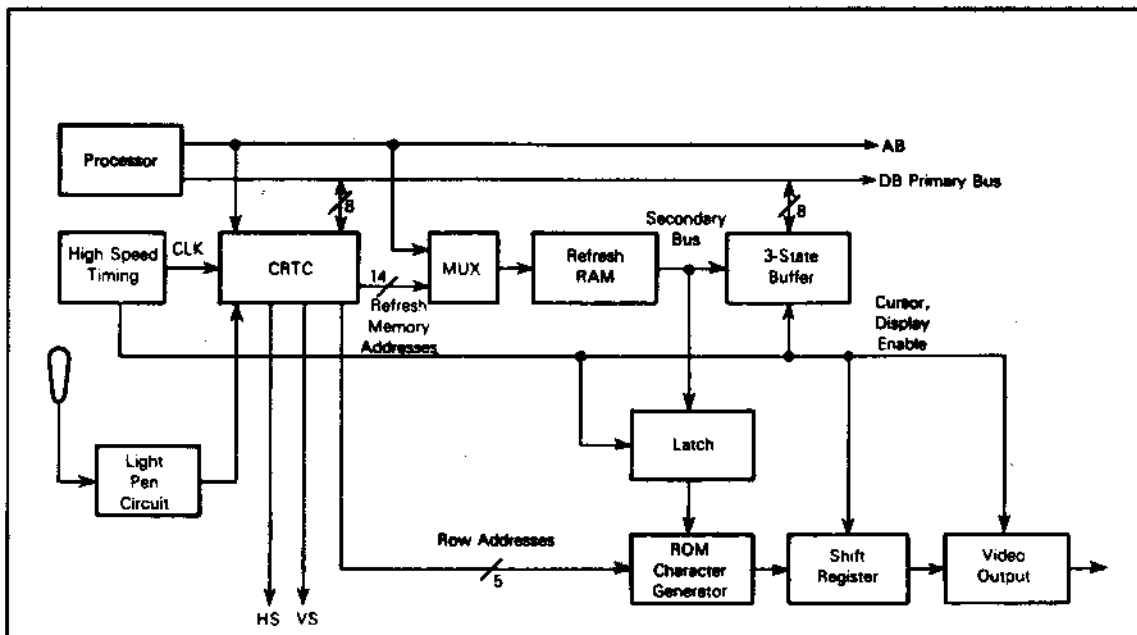
VCC et VSS :

Alimentation du CRTIC : $VCC = 5V \pm 5\%$. $VSS = 0V$.

RESET :

Un niveau bas sur cette broche permet d'effacer le contenu de tous les registres internes du CRTIC.

Le CRTIC s'interface avec les divers circuits d'un ordinateur de la manière suivante :



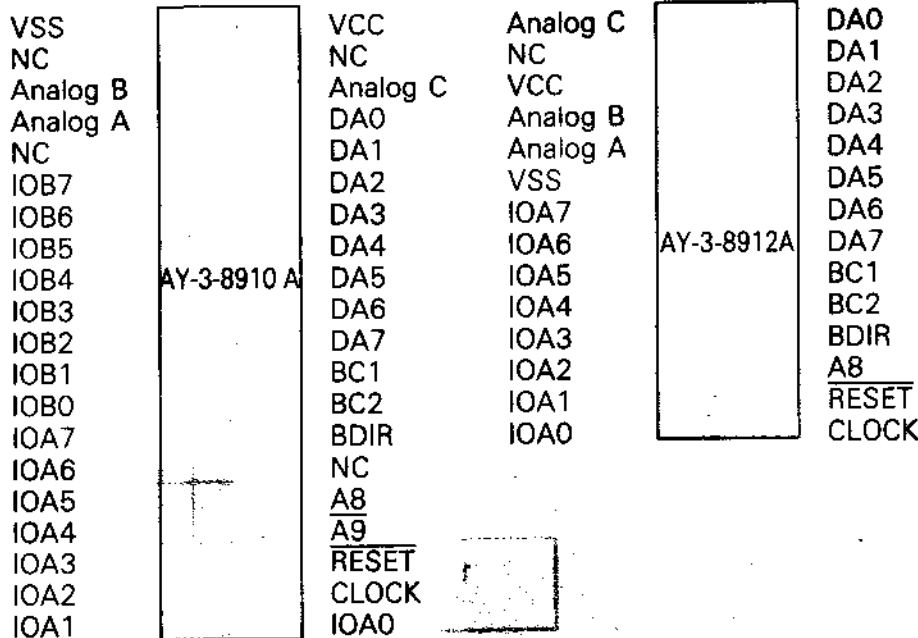
(Document Motorola)

2/3.3

Le circuit sonore AY3-8912

Ce circuit LSI (Large Scale Integration ou intégration à grande échelle) proposé par GENERAL INSTRUMENTS permet de générer des sons sur 3 voies et du bruit blanc sur une voie mixable avec les trois autres. Il est prévu pour s'interfacer facilement avec toutes sortes de microprocesseurs 8 ou 16 bits, ce qui explique sa popularité sur les microordinateurs familiaux.

Il est disponible en boîtier de 40 broches sous la référence AY-3-8910A et en boîtier 28 broches sous la référence AY-3-8912A. Le brochage de ces deux boîtiers est donné ci-dessous :



DA0 à DA7 :

Entrées/Sorties tristate. Ces 8 broches véhiculent

- les données et adresses envoyées par le microprocesseur au circuit sonore,
- les données envoyées par le circuit sonore à destination du microprocesseur.

Quand le mode « adresse » est actif, les bits DA0 à DA3 sélectionnent un des registres internes, et les bits DA4 à DA7 servent de « chip select » avec les broches A9 et A8:

A9 et A8 :

Leur fonction est équivalente à un « chip select », c'est-à-dire que lorsque A9 est à l'état bas et A8 à l'état haut, le circuit AY3 peut être accédé. Si A9 et A8 ne sont pas utilisées dans ce sens, il est recommandé de les relier respectivement à la masse et au + VCC à travers une résistance pour éviter les problèmes de sélection/désélection intempestives qui pourraient arriver en environnement bruité.

Remarque : Ces deux broches ne sont pas disponibles sur la version à 28 broches AY-3-8912A.

RESET :

Permet d'effacer tous les registres internes du circuit sonore lorsqu'on lui applique un état bas.

CLOCK :

Entrée compatible avec le standard TTL. Permet de cadencer les générateurs de ton, de bruit et d'enveloppe.

BDIR, BC2 et BC1 :

Bus DIRection, Bus Control 1 et Bus Control 2. Ces entrées permettent de définir la fonction courante du AY3 comme suit :

BDIR	BC2	BC1	Fonction du AY3
0	1	0	Inactif
0	1	1	Lecture
1	1	0	Ecriture
1	1	1	Adresse sur le bus à mémoriser par AY3

Analog Channel A, B and C :

Sorties des convertisseurs digital/analogique A, B et C. Ils produisent des signaux d'un volt crête-crête maximum.

VCC et VSS :

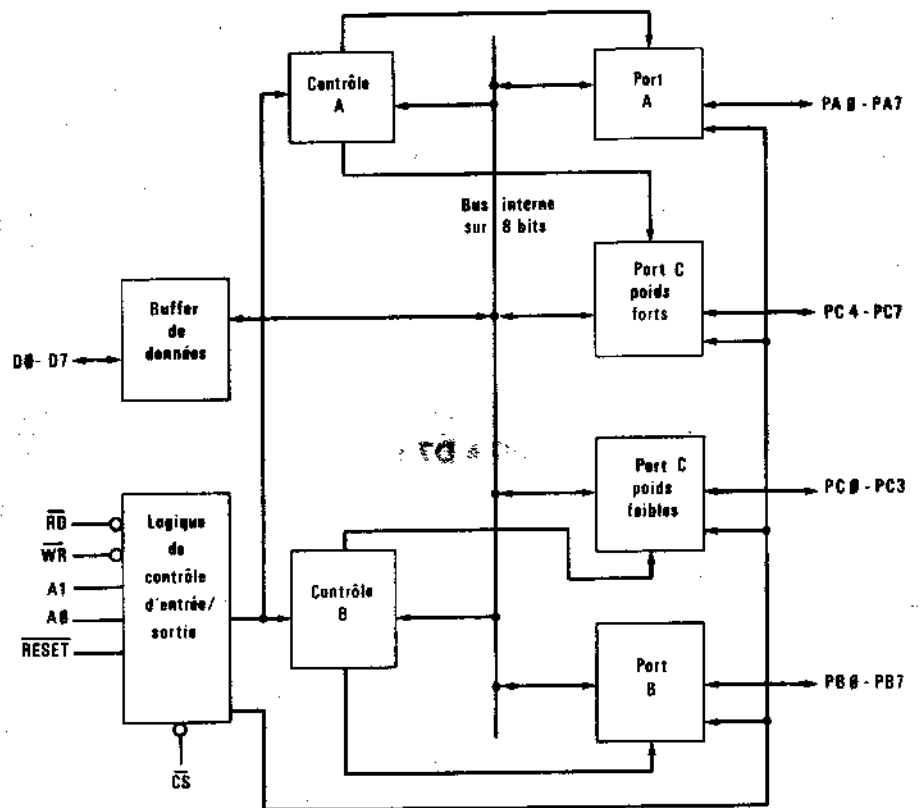
Alimentation du AY-3.

2/3.4

L'interface parallèle PIO 8255A

Le circuit 8255 proposé par INTEL est un circuit LSI (Large Scale Integration ou intégration à grande échelle) dont les fonctions concernent l'interfaçage de l'unité centrale avec divers équipements périphériques qui possèdent un bus d'entrée/sortie parallèle sur 4 ou 8 bits.

L'organisation interne de ce circuit est la suivante :

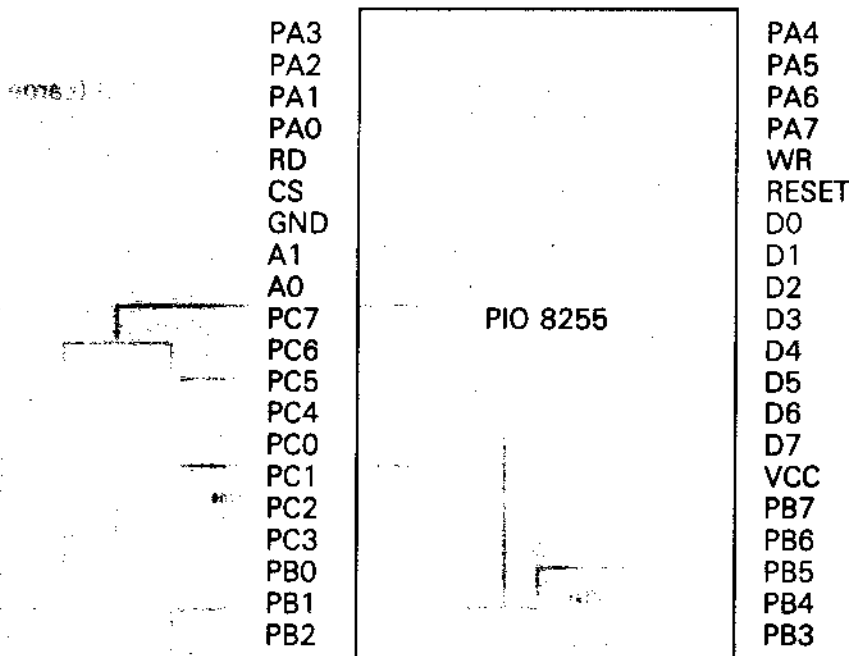


Nous voyons qu'il comporte trois ports d'entrée/sortie : A, B et C. Chaque port est relié au bus interne du 8255, lequel est relié au bus de données externe général (D0 à D7).

Les ports A, B et C sont connectés à deux registres de contrôle. Ces registres déterminent le mode de fonctionnement des trois ports. Les registres de contrôle sont accédés en écriture par le CPU. Ainsi, le PIO est entièrement configurable par programmation. Le port C est divisé en deux demi-ports de 4 bits (C UPPER et C LOWER). C UPPER est affecté au registre de contrôle A, et C LOWER au registre de contrôle B.

LE CIRCUIT INTÉGRÉ PIO 8255

C'est un circuit à 40 pattes dont le brochage est le suivant :



D0 à D7 :

Entrée/sortie : 8 bits de données connectés au CPU. Toutes les données ou ordres provenant du CPU transitent sur ces connexions.

PA0 à PA7 :

Données sur 8 bits concernant le port d'entrée/sortie A sur 8 bits. Sur ce port est connecté le générateur sonore AY3-8912.

PB0 à PB7 :

Données sur 8 bits concernant le port d'entrée/sortie B sur 8 bits. Sur ce port sont connectés le lecteur de cassettes et le signal BUSY de l'imprimante.

PC0 à PC7 :

Données sur 8 bits concernant le port d'entrée/sortie C sur 8 bits. Sur ce port sont connectés les ports clavier et joystick.

 \overline{CS} :

Entrée active à l'état bas. Le PIO est accessible quand cette entrée est à l'état bas, c'est-à-dire qu'une donnée transitant sur un des ports A, B, C ou D ne sera accessible que si \overline{CS} est à 0.

 \overline{RD} :

Entrée active à l'état bas. Si cette entrée est active en même temps que \overline{CS} ($\overline{RD} = 0$ et $\overline{CS} = 0$), les données disponibles sur le port D sont lisibles par le CPU.

 \overline{WR} :

Entrée active à l'état bas. Si cette entrée est active en même temps que \overline{CS} ($\overline{WR} = 0$ et $\overline{CS} = 0$), les données présentes sur le port de données D et envoyées par le CPU sont lues par le PIO.

A0 et A1 :

Entrées. Désignant le registre interne du PIO dans lequel vont se faire les opérations de lecture/écriture.

 \overline{RESET} :

Entrée active à l'état bas. Provoque une initialisation du PIO.

2/3.4.1

Exploitation du PIO 8255

Le système d'exploitation des CPC fait très largement appel aux possibilités du PIO 8255 pour des tâches aussi variées que la gestion du clavier, la programmation du synthétiseur de sons, le pilotage du lecteur de cassettes et la supervision de l'imprimante.

Moyennant certaines précautions visant à éviter les conflits avec ces opérations, le programmeur peut détourner à son profit une partie des vastes possibilités de ce composant spécialisé dans les entrées/sorties.

Il devra cependant savoir exactement ce qu'il fait, certaines instructions malencontreuses pouvant non seulement bloquer la machine, mais aussi endommager certains de ses composants.

Mode de sélection du PIO 8255

La figure 1 montre comment le 8255 est matériellement incorporé dans le schéma des CPC : la broche de sélection du PIO est directement reliée à la ligne A11 du bus d'adresses du Z80, ce qui signifie que pour communiquer avec le 8255, le microprocesseur devra faire passer cette ligne A11 à zéro, on consultera également la Partie 2 chapitres 2.1 p. 3, 2.2 p. 3, 2.3 p. 3.

Simultanément, le PIO doit être positionné en écriture ou en lecture selon que l'on veut exécuter une opération de sortie ou d'entrée. Pour mettre le 8255 en écriture, il faut appliquer un zéro logique à sa broche \overline{WR} , tandis que pour le mettre en lecture, c'est sa broche \overline{RD} qu'il faut amener à zéro.

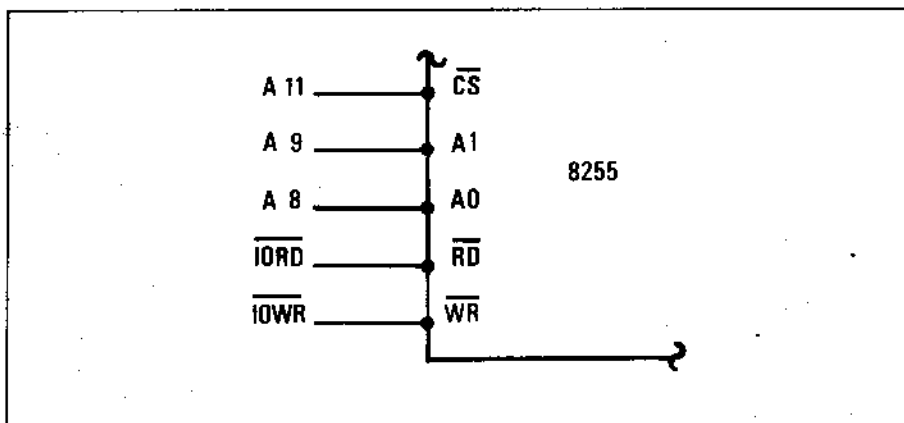


Fig. 1

La figure 2 montre comment les signaux $\overline{\text{IOR}}\overline{\text{D}}$ et $\overline{\text{IOW}}\overline{\text{R}}$, respectivement appliqués à $\overline{\text{RD}}$ et $\overline{\text{WR}}$ du PIO, sont obtenus à partir des lignes $\overline{\text{RD}}$, $\overline{\text{WR}}$, et $\overline{\text{IORQ}}$ du bus de commande du microprocesseur.

La ligne $\overline{\text{RD}}$ passe à zéro toutes les fois que le Z80 exécute une instruction de lecture, soit en mémoire, soit sur un port. Inversement, il positionne $\overline{\text{WR}}$ à zéro lorsqu'il exécute une instruction d'écriture en mémoire ou sur un port.

Parallèlement, il met la ligne $\overline{\text{IORQ}}$ à zéro s'il s'adresse à un port, et la ligne $\overline{\text{MREQ}}$ s'il s'adresse à la mémoire (ce qui nous ne nous concerne pas ici).

On constate ainsi que $\overline{\text{IOR}}\overline{\text{D}}$ se positionne à zéro seulement en cas de lecture d'un port, et $\overline{\text{IOW}}\overline{\text{R}}$ en cas d'écriture sur un port : ces deux lignes restent insensibles à toute opération en mémoire.

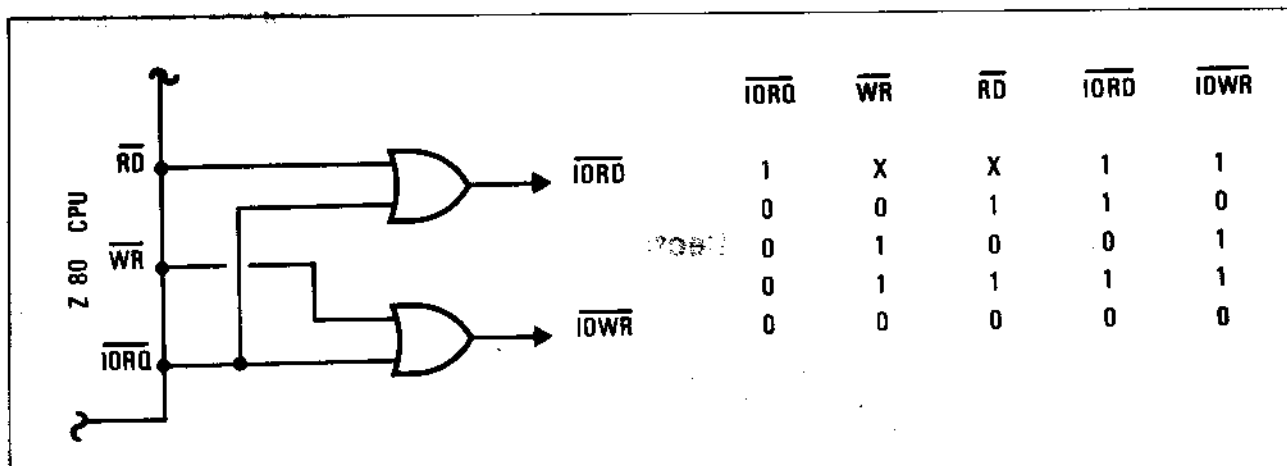


Fig. 2

Mode d'adressage du PIO 8255

Le 8255 est donc informé de la direction des échanges qui le concernent, mais doit encore savoir lequel de ses trois ports est « adressé ». Le microprocesseur transmet cette information sur les lignes A8 et A9 de son bus d'adresses, lesquelles rejoignent les entrées A0 et A1 du 8255.

Le tableau 1 résume les différentes combinaisons possibles entre les états de toutes les lignes desservant le PIO. Grâce au tableau 2, vous comprendrez aisément comment sont calculées les adresses de ports des instructions Basic **INP** et **OUT** permettant de communiquer avec le 8255.

En théorie, l'état des lignes d'adresse ne desservant pas le 8255 pourrait sembler indifférent, ce qui inciterait à croire que d'autres adresses mèneraient aux mêmes résultats, ce qui est exact en ce qui concerne le seul 8255. Cependant, d'autres dispositifs d'entrée/sortie sont desservis par les mêmes bus, et réveillés par des états zéro sur d'autres lignes d'adresse.

Tableau 1

Basic		A ₁ (A ₉)	A ₀ (A ₈)	RD	WR	CS	Action
E N T R É E	INP (29951)	0	0	0	1	0	A → Bus de données
	INP (30207)	0	1	0	1	0	B → Bus de données
	INP (30463)	1	0	0	1	0	C → Bus de données
		1	1	0	1	0	Combinaison illégale
S O R T I E	OUT 62719	0	0	1	0	0	Bus de données → A
	OUT 62975	0	1	1	0	0	Bus de données → B
	OUT 63231	1	0	1	0	0	Bus de données → C
	OUT 63487	1	1	1	0	0	Bus de données → registre contrôle
Repos		X	X	X	X	1	Bus de données en haute impédance
		X	X	1	1	0	Bus de données en haute impédance

Tableau 2

A ₀	A ₁	A ₂	A ₃	A ₄	A ₅	A ₆	A ₇	A ₈	A ₉	A ₁₀	A ₁₁	A ₁₂	A ₁₃	A ₁₄	A ₁₅	OUT
1	2	4	8	16	32	64	128	256	512	1 024	2 048	4 096	8 192	16 384	32 768	/
1	1	1	1	1	1	1	1	0	0	1	0	1	1	1	1	62 719
1	1	1	1	1	1	1	1	1	0	1	0	1	1	1	1	62 975
1	1	1	1	1	1	1	1	0	1	1	0	1	1	1	1	63 231
1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	63 487

L'imprimante, par exemple, est sélectionnée par un niveau zéro sur la ligne A12.

Tenons-nous en donc strictement aux adresses indiquées au tableau 1 sous peine de risquer de commander plusieurs périphériques à la fois.

Attention :

Par ailleurs, il faut veiller à n'écrire que sur les ports de sortie, et, bien que cela soit moins important pour la santé du matériel, à ne lire que sur les ports d'entrée : écrire sur un port d'entrée risque de causer un conflit de données susceptible de détériorer des composants.

Imaginons que nous tentions de sortir un 1 logique sur une ligne maintenue à zéro par un autre dispositif : nous créons un court-circuit qui va faire circuler un courant nettement plus important qu'en temps normal, d'où un échauffement excessif et dangereux dans les circuits intégrés...

Exploitation du PIO 8255 dans les Amstrad

En temps normal, le système d'exploitation des CPC affecte comme suit les trois ports d'entrée/sortie du 8255 :

- port A : tantôt en entrée, tantôt en sortie (communications bidirectionnelles avec le AY-3-8912 utilisé tour à tour en synthétiseur de son et en port d'entrée/sortie pour le clavier et les manettes de jeu) ;
- port B : toujours en entrée (données lues sur cassettes, synchronisation vidéo, broche d'expansion du connecteur, cavaliers de configuration LK1 à LK4) ;
- port C (séparé en deux moitiés) : toujours en sortie (données à écrire sur cassette, moteur du magnétophone, commande du AY-3-8912).

Sans modifier ces choix effectués par le système d'exploitation, nous allons illustrer ces informations par un exemple pratique.

Le schéma électrique du CPC 464 nous montre que le moteur du magnétophone est mis en service par une tension positive (1 logique) sur la ligne C4 du port C du PIO. Le tableau 3 rappelle par ailleurs que le « poids » décimal de toute ligne de données numérotée « 4 » est de 16 (2 à la puissance 4).

Tableau 3

Bus de données								
D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	Ligne n°
1	2	4	8	16	32	64	128	Poids décimal

Le tableau 1 nous permet de déterminer que pour positionner à 1 la ligne C4, il faut programmer, en Basic, **OUT 63231,16**. Essayons, et constatons que cette commande fait bien démarrer le moteur, à condition évidemment que la touche **PLAY** soit enfoncée afin de débloquer la mécanique.

Vérifions inversement que **OUT 63231,0** arrête bien le moteur. Nous disposons dorénavant de commandes identiques aux **MOTOR ON** et **MOTOR OFF** présentes sur des machines d'autres marques (Thomson par exemple).

A titre d'exercice, essayez de lire, par un INP approprié, l'état de la broche **BUSY** du connecteur d'imprimante (reliée à la ligne B6 du 8255)...

Possibilités supplémentaires de programmation

Même s'il nous faut insister sur les risques que suppose toute expérimentation hasardeuse à ce niveau, nous devons, pour être complets, donner les informations permettant de modifier les modalités d'utilisation des ports A, B et C du 8255.

Précisons bien que de telles modifications ne sont guère envisageables que sous langage machine, le système d'exploitation se chargeant généralement, sous Basic, d'annuler toute commande ne lui convenant pas.

Il faut savoir que le 8255 possède trois modes de fonctionnement pouvant être sélectionnés par programmation :

- le mode 0, qui permet d'effectuer des opérations d'entrée/sortie directes sur chacun des trois ports, sans aucun contrôle. Le port C peut, pour sa part, être séparé en deux ports à quatre lignes ;

- le mode 1, dans lequel les entrées/sorties peuvent être contrôlées par le port C, dont quatre bits sont affectés aux signaux handshake (poignée de main) entre le 8255 et les périphériques avec lesquels il communique ;

- le mode 2, permettant des liaisons bidirectionnelles sur le port A: cinq bits du port C contrôlent ces échanges, conformément aux affectations résumées aux tableaux 4 et 5.

Insistons encore une fois sur le fait que, bien que le registre de contrôle défini au tableau 4 soit accessible en Basic par **OUT 63487**, la modification de son contenu est une affaire de programmeur averti, possédant une bonne connaissance du matériel. Cela d'autant plus que ce registre ne peut pas être lu : il n'est pas possible, dès lors, de prendre connaissance de son contenu afin de pouvoir le restaurer après une modification.

La lecture des registres du AY-3-8912, à l'inverse, est possible. Et comme ce composant dialogue avec le 8255 par l'intermédiaire du port A, il y a là une voie à explorer, avec l'aide de la Partie 6.

Tableau 4

D ₀	4 bits de poids faible de C : 1 = entrée, 0 = sortie				Groupe II
D ₁	B 1 = entrée - 0 = sortie				
D ₂	mode : 0 ou 1				
D ₃	4 bits de poids fort de C : 1 = entrée, 0 = sortie				Groupe I
D ₄	A 1 = entrée - 0 = sortie				
D ₅	0	0	1	1	
	mode 0	mode 1	mode 2	mode 2	
D ₆	0	1	0	1	
D ₇	1 : sélection de mode - 0 : positionnement de bits				

Tableau 5

D ₀	Valeur du bit : 1 ou 0								
D ₁ D ₂ D ₃	N° du bit	0	1	2	3	4	5	6	7
		0	1	0	1	0	1	0	1
		0	0	1	1	0	0	1	1
		0	0	0	0	1	1	1	1
D ₄ D ₅ D ₆	Inutilisés								
D ₇	1 : sélection de mode - 0 : positionnement de bits.								

2/3.5

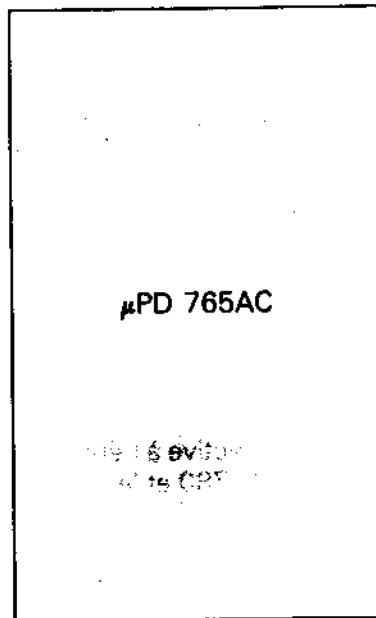
Le contrôleur de disque μ PD 765AC

Ce circuit intégré à 40 broches se trouve logé dans les CPC 664 et 6128, ou dans le connecteur qui se branche sur un CPC 464.

Le μ PD 765 constitue l'interface entre le lecteur de disquettes et le Z80.

Le brochage du contrôleur de disque est le suivant :

RESET
RD
WR
CS
RO
DB0
DB1
DB2
DB3
DB4
DB5
DB6
DB7
DRQ
DACK
TC
INDEX
INT
CLK
GND



VCC
RW/SEEK
LCT/DIR
FLTR/STEP
HDLD
READY
WPRT/2 SIDE
FLT/TRK0
PS0
PS1
WDA
US0
US1
(HD) SIDE
MFM
WE
VCO
RDA
RDW
WCK

RESET :

Entrée active sur niveau haut. Cette broche permet de réinitialiser le contrôleur. Dans l'état de fonctionnement normal, elle est dans un état bas.

\overline{RD} :

Entrée active à l'état bas. Cette broche est reliée au \overline{RD} du Z80. Elle est active lorsque le microprocesseur désire lire des données sur une disquette.

 \overline{WR} :

Entrée active à l'état bas. Cette broche est reliée au \overline{WR} du Z80. Elle est active lorsque le microprocesseur désire écrire des données sur une disquette.

 \overline{CS} :

Entrée active à l'état bas. Cette broche valide les informations présentes sur les entrées \overline{RD} et \overline{WR} et plus généralement l'état actif du contrôleur.

DB0 à DB7 :

Bus de données relié au bus de données du Z80. C'est par ces 8 broches que sont acheminées les commandes et les données lues ou à écrire sur disquette.

DRQ :

Sortie active à l'état haut. Cette broche signale au contrôleur de DMA (Direct Memory Access) qu'un accès à la mémoire va se produire.

 \overline{DACK}

Entrée active à l'état bas. Cette broche signale au contrôleur de disque que le contrôleur de DMA a commencé le transfert des données.

TC :

Entrée active à l'état haut. Permet d'interrompre le transfert de données entre le Z80 et le contrôleur de disque. Cette broche est surtout utilisée en mode DMA.

INDEX :

Entrée active à l'état haut. Cette broche est reliée au circuit qui détecte le début d'une piste dans le lecteur de disquettes.

INT :

Sortie active à l'état haut. Cette broche permet de déclencher une interruption du Z80. Sur les AMSTRAD, cette possibilité n'est pas utilisée.

CLK :

Entrée d'horloge. Elle reçoit une fréquence de 4 MHz pour les lecteurs de disquettes de 5" 1/4 ou plus petits et de 8 MHz pour les autres.

GND : Masse.

WCK :

Entrée qui détermine la vitesse de transmission des données entre le lecteur de disquettes et le contrôleur de disque.

RDW :

Entrée active à l'état haut. Permet de séparer les données lues en fonction de leur type.

RDA :

Entrée active à l'état haut. Cette broche permet d'acquérir les données lues sur une disquette.

VCO :

Entrée active à l'état haut. Cette broche permet de synchroniser le VCO par rapport au séparateur de données. Le signal VCO n'est pas utilisé sur les ordinateurs AMSTRAD.

WE :

Sortie active à l'état haut. Permet de valider l'écriture de données sur une disquette.

MFV :

Sortie active à l'état haut. Donne le mode de travail du lecteur de disquettes (simple ou double densité).

(HD) SIDE :

Sortie. Indique si le lecteur piloté est simple ou double face (toujours simple face dans le cas des lecteurs standard AMSTRAD).

US0, US1 :

Permet de sélectionner un lecteur pour une opération de lecture/écriture parmi les quatre qui peuvent être connectés sur le même contrôleur de disque.

WDA :

Entrée active à l'état haut. Cette broche véhicule les données envoyées au lecteur de disquettes.

PS1, PS0 :

Sorties qui indiquent le type de transmission de données pour un lecteur de disquettes à double face (EARLY, NORMAL ou LATE).

FLT/TRKO :

Entrée qui permet d'attendre le passage à 1 du signal TRKO ou la détection d'une erreur par le lecteur.

WPRT/2 SIDE :

Entrée active à l'état haut. Détermine l'état de protection de la disquette contenue dans le lecteur (WRITE PROTECT).

READY :

Entrée active à l'état haut. Indique qu'une disquette se trouve insérée dans le lecteur et que ce dernier tourne à une vitesse qui permet des opérations de lecture/écriture.

HDLD :

Sortie active à l'état haut. Sur les lecteurs de 8", cette broche signale une action à effectuer sur la tête de lecture.

FLTR/STEP :

Sortie qui permet d'envoyer des impulsions au lecteur de disquettes à chaque déplacement de la tête de lecture, et de remettre à zéro la bascule d'erreur du lecteur de disquette.

LCT/DIR :

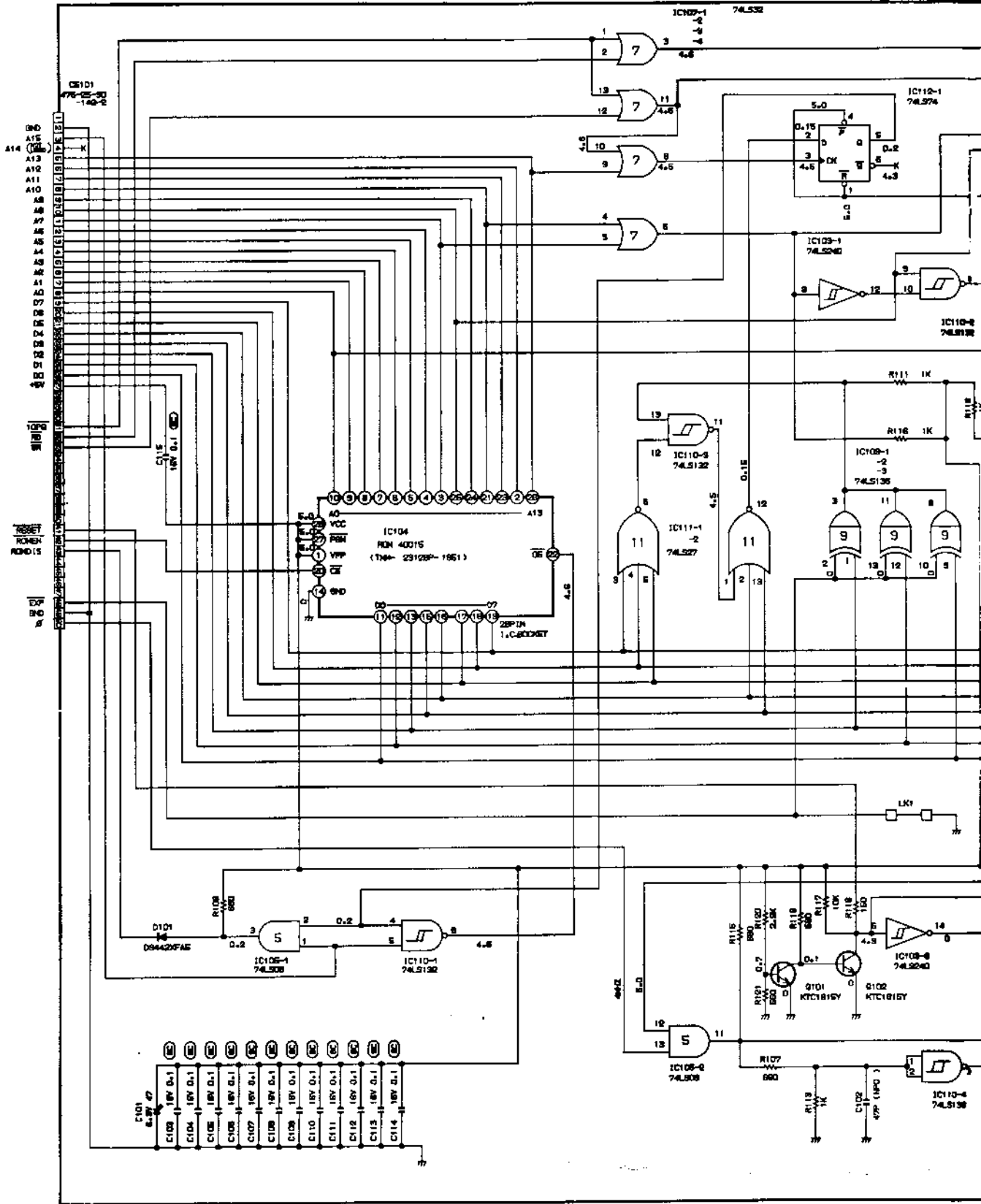
Sortie qui détermine la direction que doit prendre la tête de lecture pour effectuer la prochaine lecture/écriture.

RW/SEEK :

Sortie active à l'état bas. Sélectionne les données nécessaires au contrôleur parmi toutes celles fournies par le lecteur de disquettes.

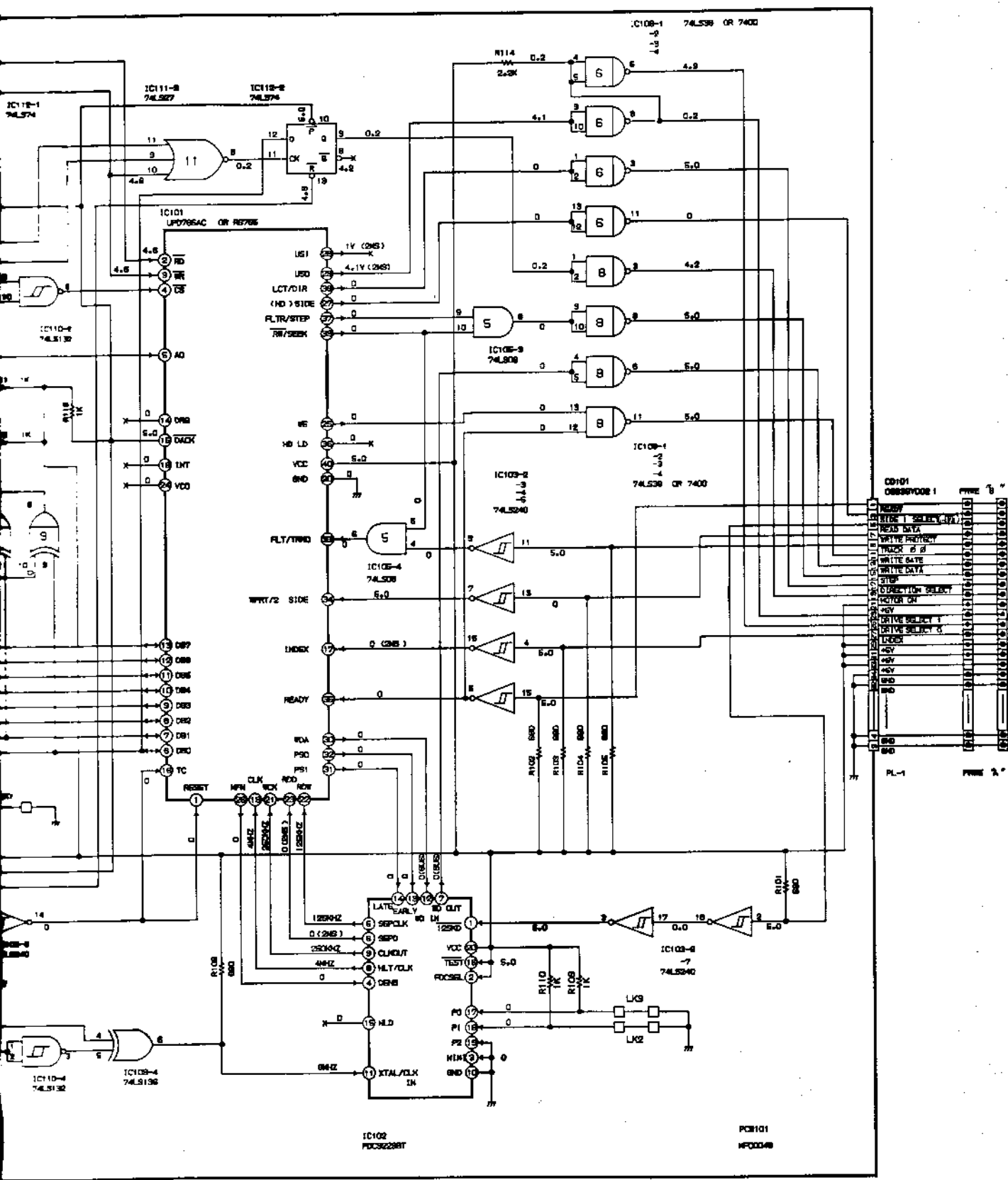
VCC : Alimentation 5 V + 5 %.

Le schéma de la carte supportant le contrôleur de disque est le suivant :



CONDITION: MAIN SWITCH OF FLOPPY DISK IS SWITCHED ON, BE READY TO WORK, AND THE DISKET IS NOT IN DRIVE.

CIRCUIT DIAGRAM



NOTE: THIS SCHEMATIC DIAGRAM IS THE LATEST AT THE TIME OF PRINTING AND SUBJECT TO CHANGE WITHOUT NOTICE.

(Document AMSTRAD)

2/4

Les mémoires

Comme tout micro-ordinateur, les AMSTRAD renferment des *mémoires*, circuits intégrés chargés d'emmagasiner des informations de toutes sortes. Les informations indispensables au fonctionnement de la machine (système d'exploitation, etc.) sont figées en usine dans la *mémoire morte* ou *ROM* (Read Only Memory).

La *mémoire vive* ou *RAM* (Random Access Memory), dont la taille varie selon les modèles, sert de « bloc-notes » aussi bien au microprocesseur qu'au programmeur : on peut à volonté y *écrire* et y *lire* des informations.

L'information élémentaire est l'élément binaire (eb) ou « bit », mais presque toutes les opérations informatiques s'effectuent sur des *octets* (ou *bytes*), ensembles indivisibles de huit bits. L'ensemble de la mémoire de n'importe quel AMSTRAD est donc divisé en octets, physiquement répartis entre les différents boîtiers de RAM et de ROM.

2/4.1

La mémoire morte (ROM)

La mémoire ROM de base des différents modèles d'AMSTRAD est une TMM 23256 (ou un équivalent), qui contient 256 k-bits organisés en 32 k-octets (rappelons que 1 k = 1024).

La figure 1 montre que le boîtier à 28 broches abritant cette mémoire comprend la matrice de $8 \times 32\,768$ « cellules », un « décodeur d'adresse » permettant de choisir l'octet que l'on veut lire, et un « buffer de sortie » ne connectant la mémoire au bus que lorsque cela est nécessaire (uniquement pendant la lecture). Quinze lignes d'adresse sont donc prévues (puisque $2^{15} = 32\,768$) aux côtés des huit lignes de données.

Outre les broches d'alimentation (+5 V et masse ou Vcc et Vss), on trouve encore les broches de commande \overline{CS} et \overline{OE} (Chip Select et Output Enable) : les données lues ne peuvent atteindre le bus que si ces deux broches sont en même temps à l'état bas (0 V). Dans l'AMSTRAD, \overline{OE} est mise à la masse par une résistance, mais un niveau haut (+5 V) peut être « forcé » de l'extérieur par l'intermédiaire de la borne ROMDIS (ROM DISable) du connecteur : une ROM externe peut alors être substituée à celle d'origine, avec toutes les possibilités que cela suppose pour le programmeur averti...

C'est donc finalement le signal \overline{ROMEN} (ROM ENable) généré par le circuit « gate array », qui déclenche le transfert des données sur le bus de la machine. Un synchronisme rigoureux doit évidemment être respecté entre toutes ces opérations afin d'éviter tout « conflit » sur les bus.

Les ROM supplémentaires présentes sur certaines versions d'AMSTRAD fonctionnent exactement de la même façon, bien que leur capacité puisse être différente : une ROM de 16 k-octets, par exemple, sera tout simplement démunie de la ligne d'adresse A14.

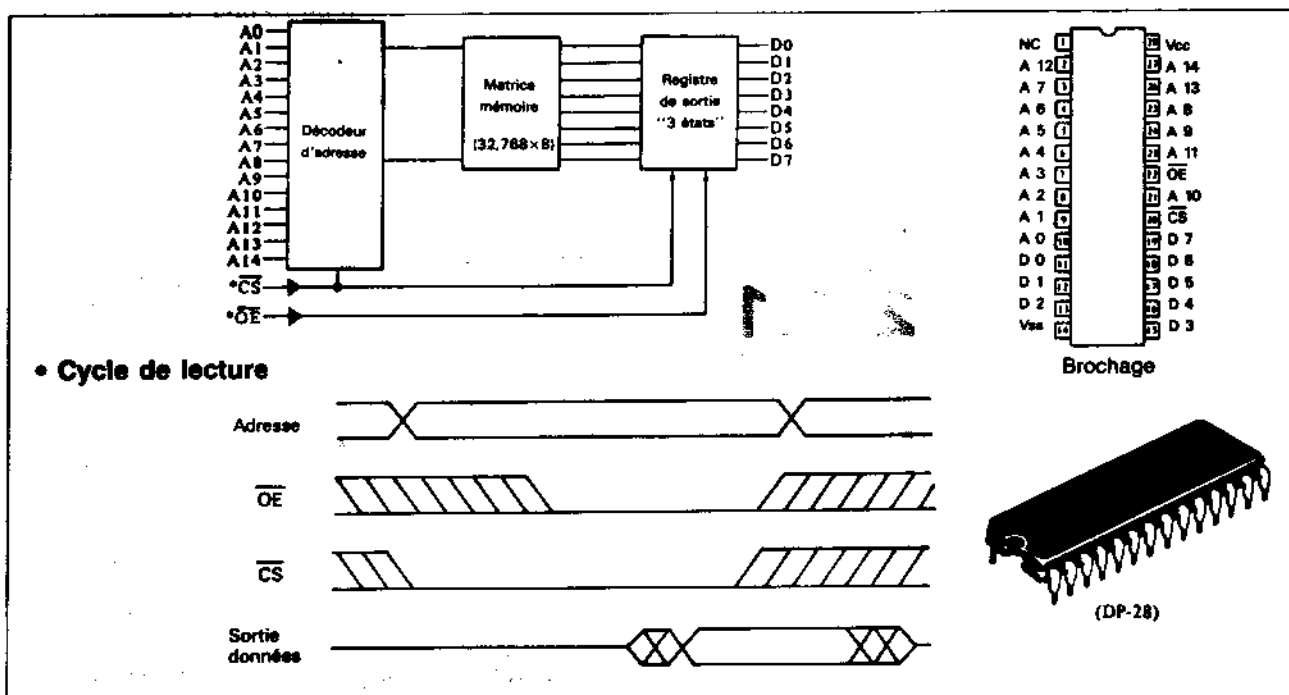


Fig. 1 : ROM TM 23256.

2/4.2

La mémoire vive (RAM)

Les différentes versions d'AMSTRAD utilisent le même composant de base pour leur mémoire RAM : le circuit intégré HM 4864 ou un équivalent. Il s'agit d'une mémoire *dynamique* (DRAM) de 64 k-bits, dont il faut évidemment huit exemplaires pour stocker 64 k-octets. La figure 2 résume ses principales caractéristiques. Pour permettre l'utilisation d'un boîtier à 16 broches seulement, le fabricant n'offre que huit lignes d'adresse au lieu des seize théoriquement nécessaires : l'adresse complète est donc scindée en deux mots de huit bits, l'adresse « colonne » (column) et l'adresse « rangée » (row). Ces deux moitiés sont appliquées l'une à la suite de l'autre sur les lignes d'adresse de la mémoire, ce qui complique notablement les circuits annexes : une batterie de « multiplexeurs » 74 LS 153 est nécessaire, mais le contrôleur d'écran en profite aussi !

Parallèlement, ce type de mémoire « dynamique » est plus lourd à utiliser que des mémoires « statiques » (SRAM) : il est clair que le constructeur a préféré employer des mémoires aussi peu coûteuses que possible, quitte à compliquer la conception des autres parties de la machine.

Les mémoires dynamiques « oublient » en effet très vite les données qui y sont inscrites, ce qui oblige à les « rafraîchir » (refresh) à intervalles réguliers. Fort heureusement, le Z 80 est particulièrement bien adapté à ce type de fonctionnement.



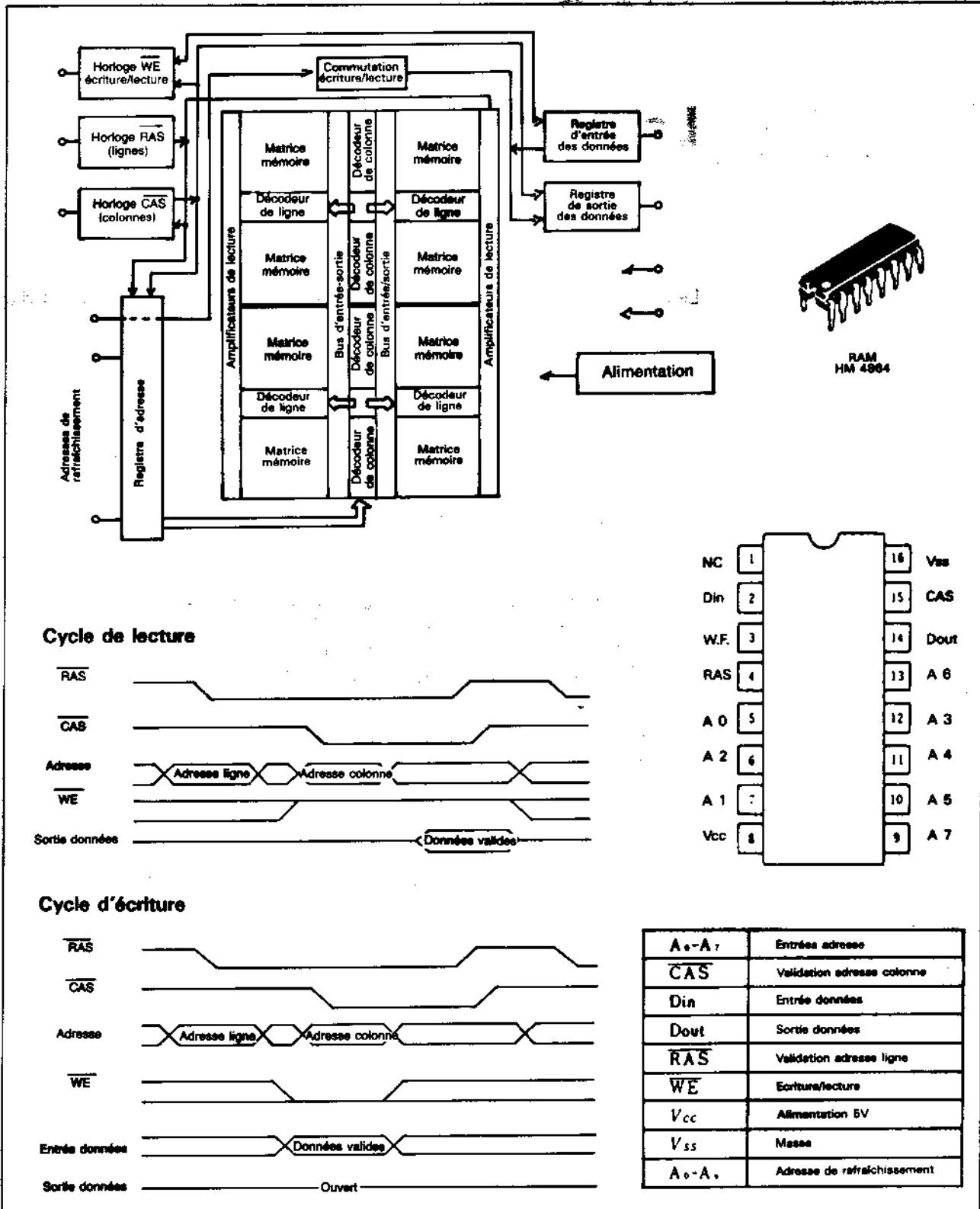


Fig. 2 : RAM HM 4864.

2/5

1.3.2

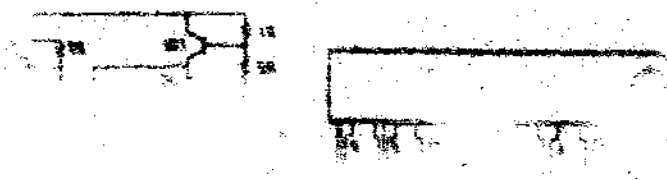
Les circuits intégrés standards

A côté des circuits spécialisés que sont, par exemple, le microprocesseur, les mémoires, et les périphériques, les AMSTRAD contiennent de nombreux circuits intégrés tout à fait classiques qu'il importe de bien connaître pour deux raisons :

- assimilation du fonctionnement profond de la machine avant de tenter de développer des extensions « maison » ;
- dépannage non limité aux défaillances bénignes.

Seul le circuit « gate array »¹⁾, spécialement fabriqué pour AMSTRAD selon ses propres plans, gardera une bonne partie de ses secrets et ne pourra pas être acheté chez votre revendeur habituel...

La plupart des circuits intégrés standards sont des composants *digitaux* (TTL ou CMOS rapide), mais il y a aussi quelques circuits *linéaires*, notamment au niveau du lecteur de cassettes qui intègre aussi l'amplificateur audio.



1) Encore appelé « ULA » (Uncommitted Logic Array).

2/5.1

Les circuits intégrés linéaires

La figure 1 reproduit le brochage du LA 6324, quadruple amplificateur opérationnel dont les différentes sections servent surtout de préamplificateurs de signaux audio.

Le LA 4140, dont les caractéristiques apparaissent à la figure 2, est un amplificateur de puissance servant à attaquer le haut-parleur. Il est logé dans un boîtier SIL (Single In Line) ne possédant qu'une seule rangée de broches, mais muni d'un coin coupé évitant toute confusion d'orientation.

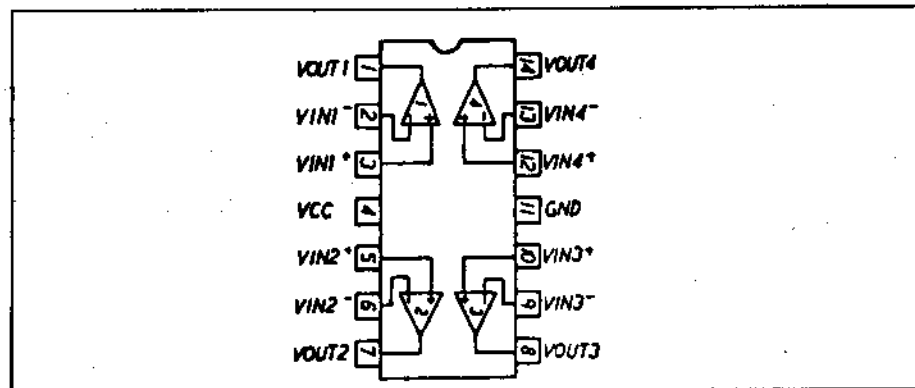


Fig. 1 : LA 6324.

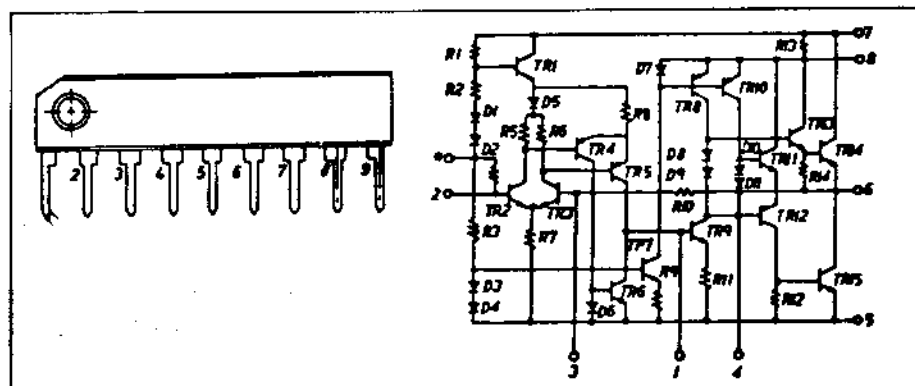


Fig. 2 : LA 4140.

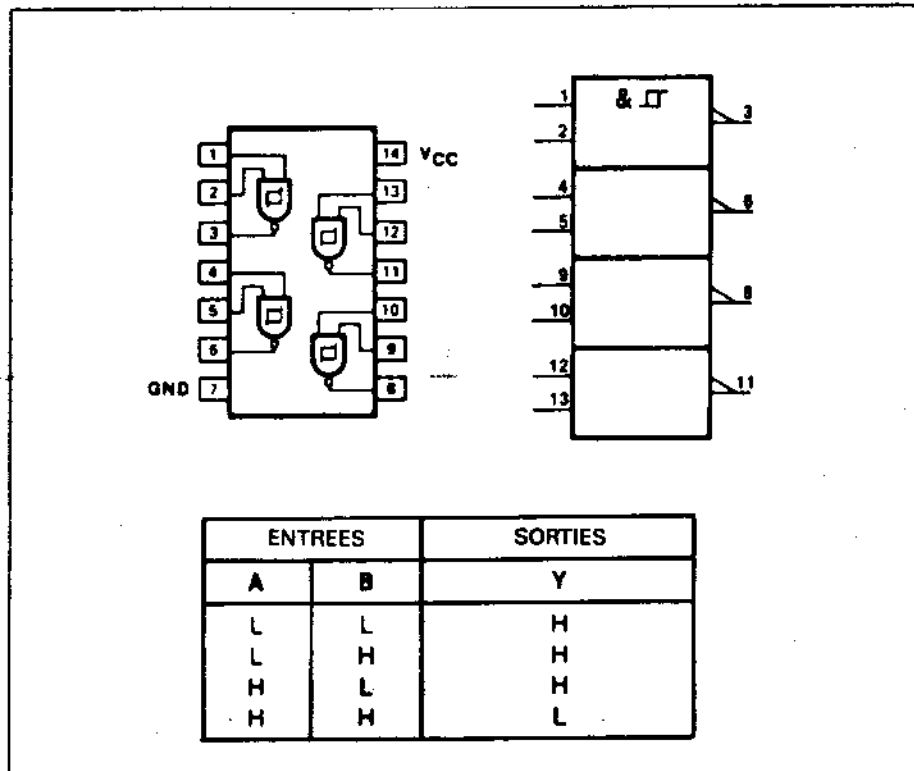


Fig. 2 : LS 132.



A la figure 3, le 74LS08 réalise la fonction ET (AND), complémentaire de la précédente : la sortie de chaque porte à deux entrées ne passe au niveau haut que si les deux entrées sont elles-mêmes hautes (à +5 V).

Le 74LS32 de la figure 4 est une quadruple porte OU (OR) à deux entrées : la sortie de chaque porte passe à un niveau haut dès qu'au moins une des entrées est haute : on parle d'une fonction « OU inclusif » par opposition au 74LS136 de la figure 5 qui contient quatre portes « OU exclusif » à deux entrées : la sortie est haute si une entrée est basse et l'autre haute. Elle est basse si les deux entrées sont au même niveau, quel qu'il soit.

A la figure 6, nous sommes en présence d'une triple porte NOR (fonction complémentaire du OU) à 3 entrées 74LS27 : la sortie n'est haute que si les trois entrées correspondantes sont basses en même temps.

Le 74HCU04 de la figure 7 est un sextuple inverseur : chaque élément inverse le niveau appliqué à son entrée.

Contrairement à tous les circuits précédents dont la sortie délivrait du +5 V à l'état haut, le 74LS38 de la figure 8 contient quatre portes NAND à deux entrées avec sorties *collecteur ouvert* : lorsque les deux entrées sont hautes, la sortie correspondante est reliée à la masse par un transistor NPN saturé. Dans les autres cas, le transistor est bloqué et la sortie reste dans un état « haute impédance » : son niveau électrique est fixé par le circuit extérieur.

AOB

Y

H

H

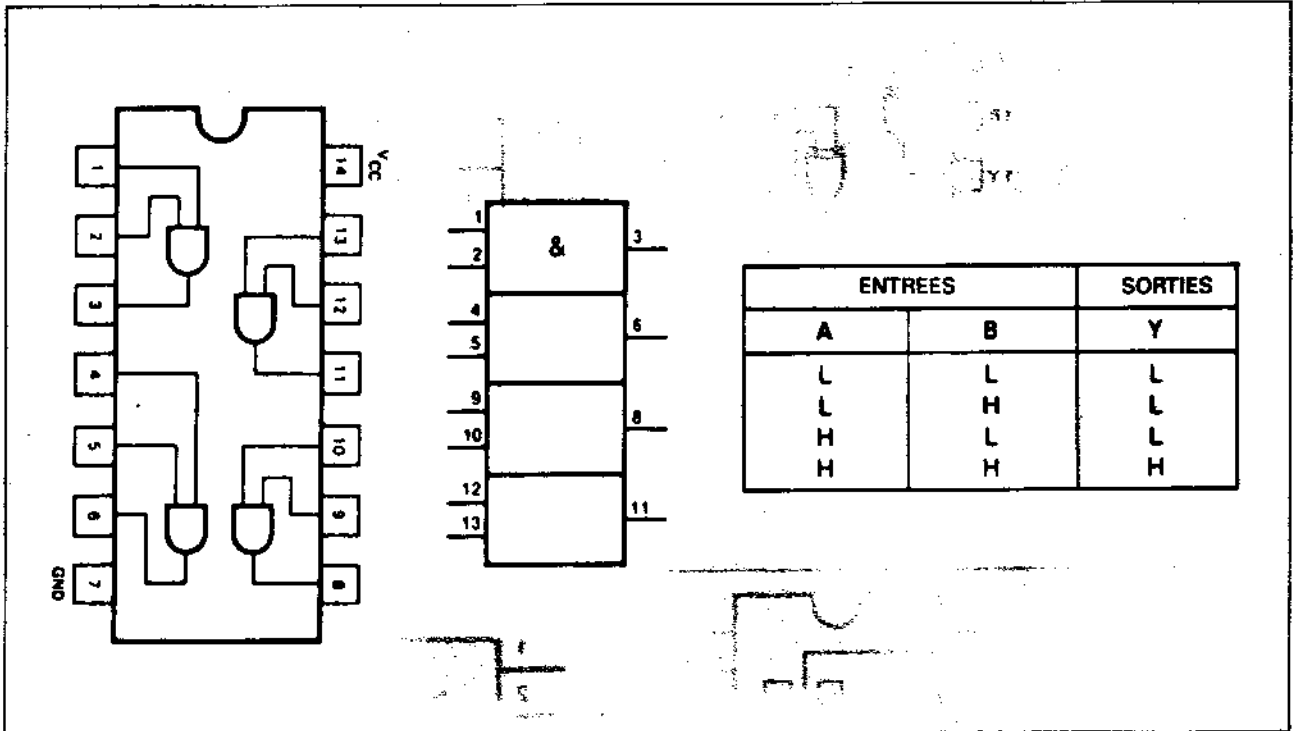


Fig. 3 : 74 LS 08.

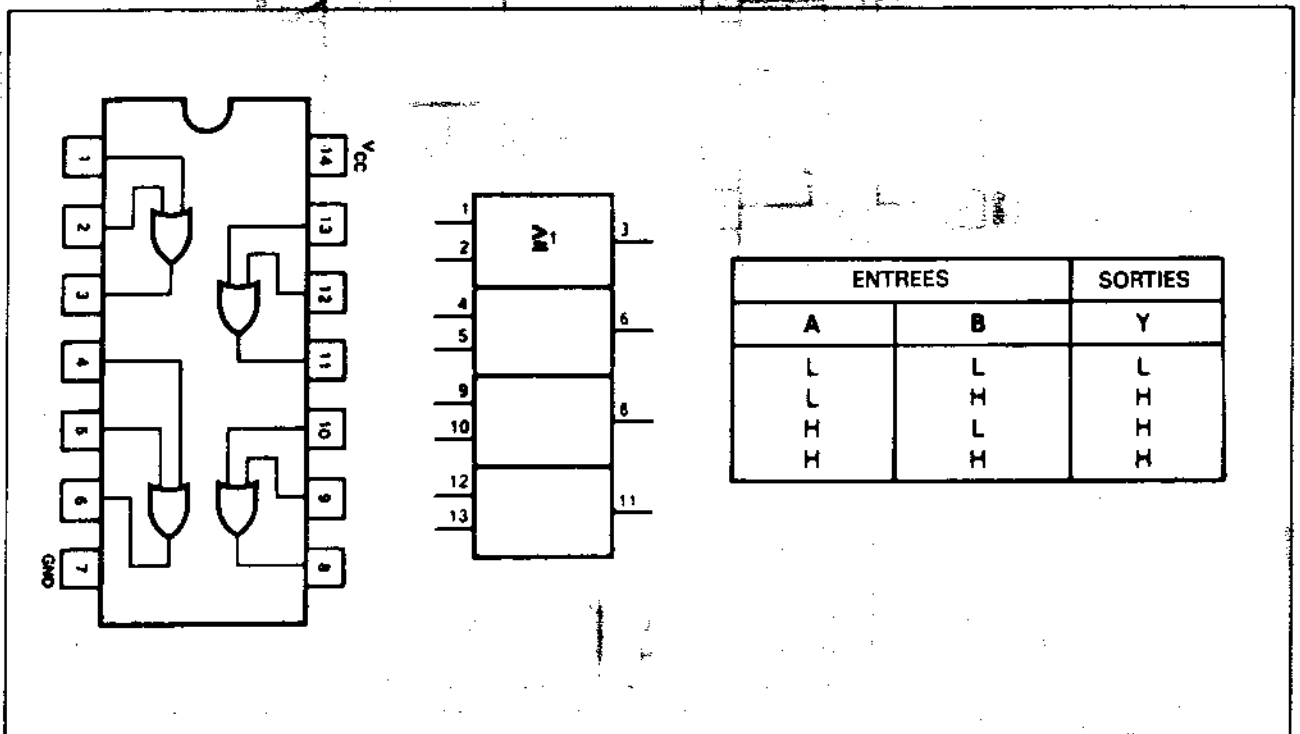


Fig. 4 : 74 LS 32.

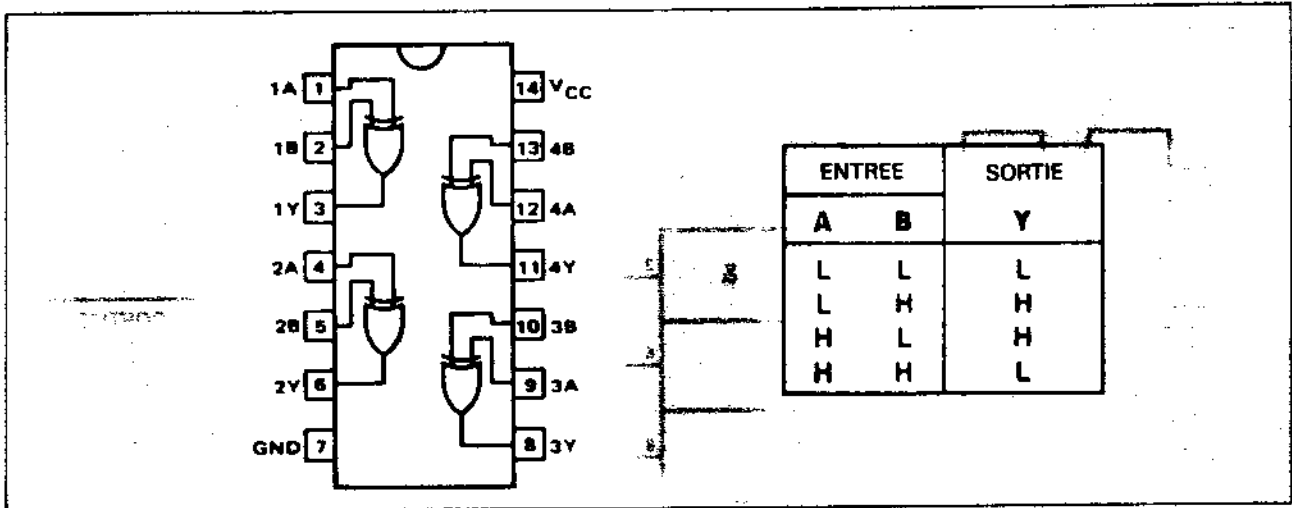


Fig. 5 : 74 LS 136.

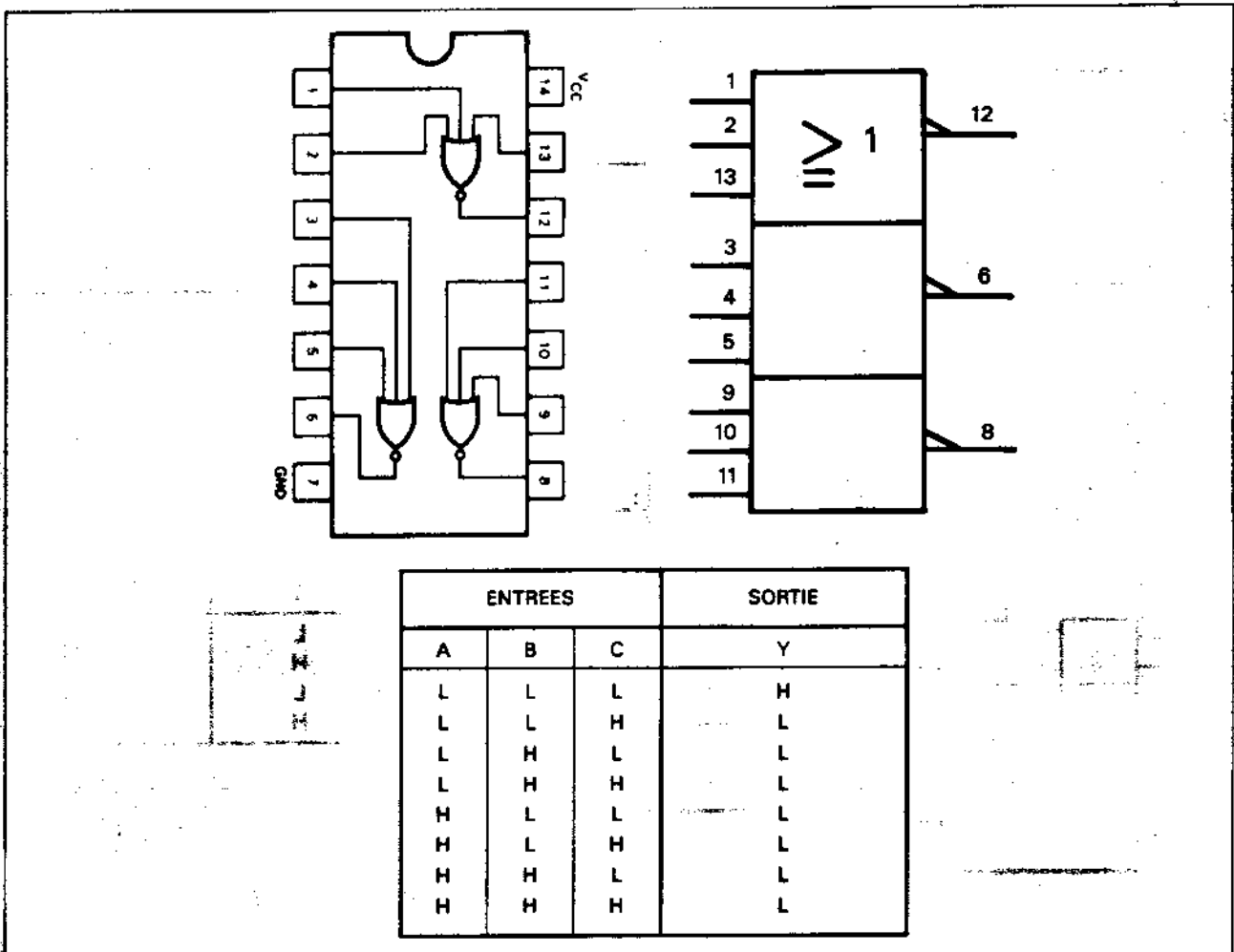


Fig. 6 : 74 LS 27.

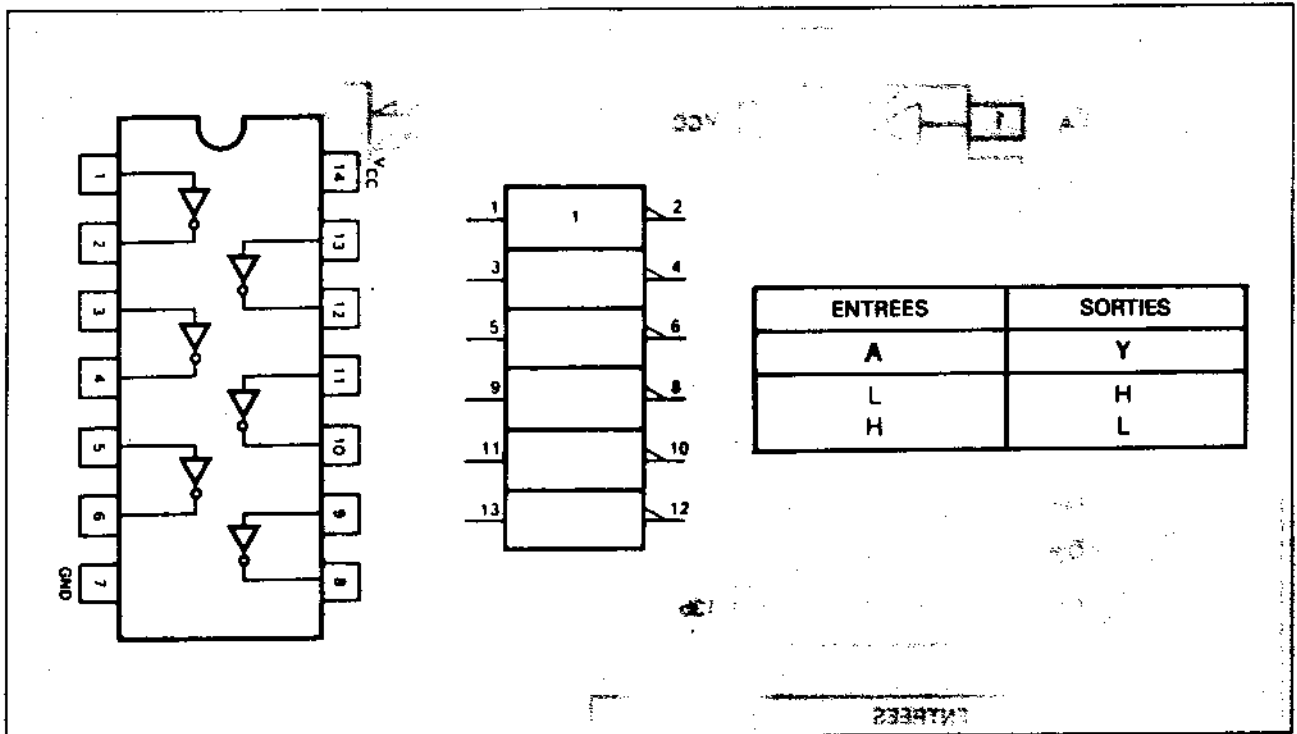


Fig. 7 : 74 HCU 04.

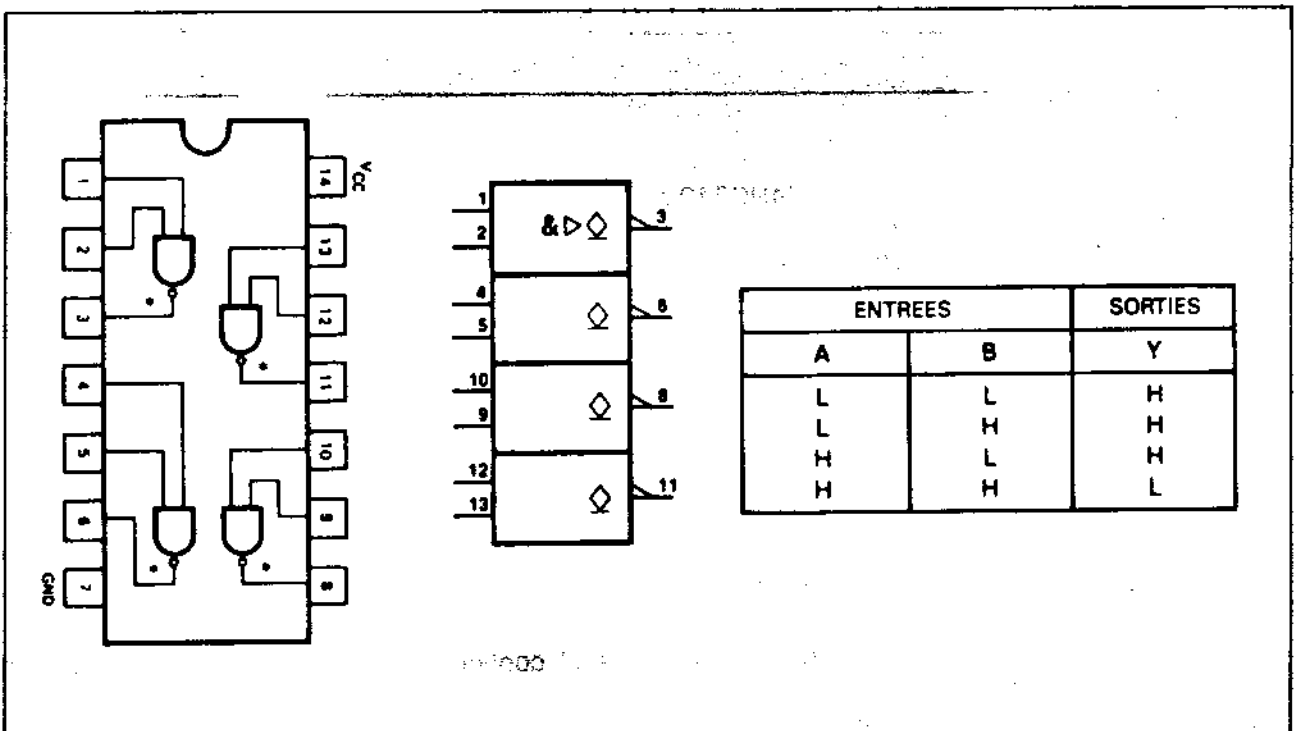


Fig. 8 : 74 LS 38.

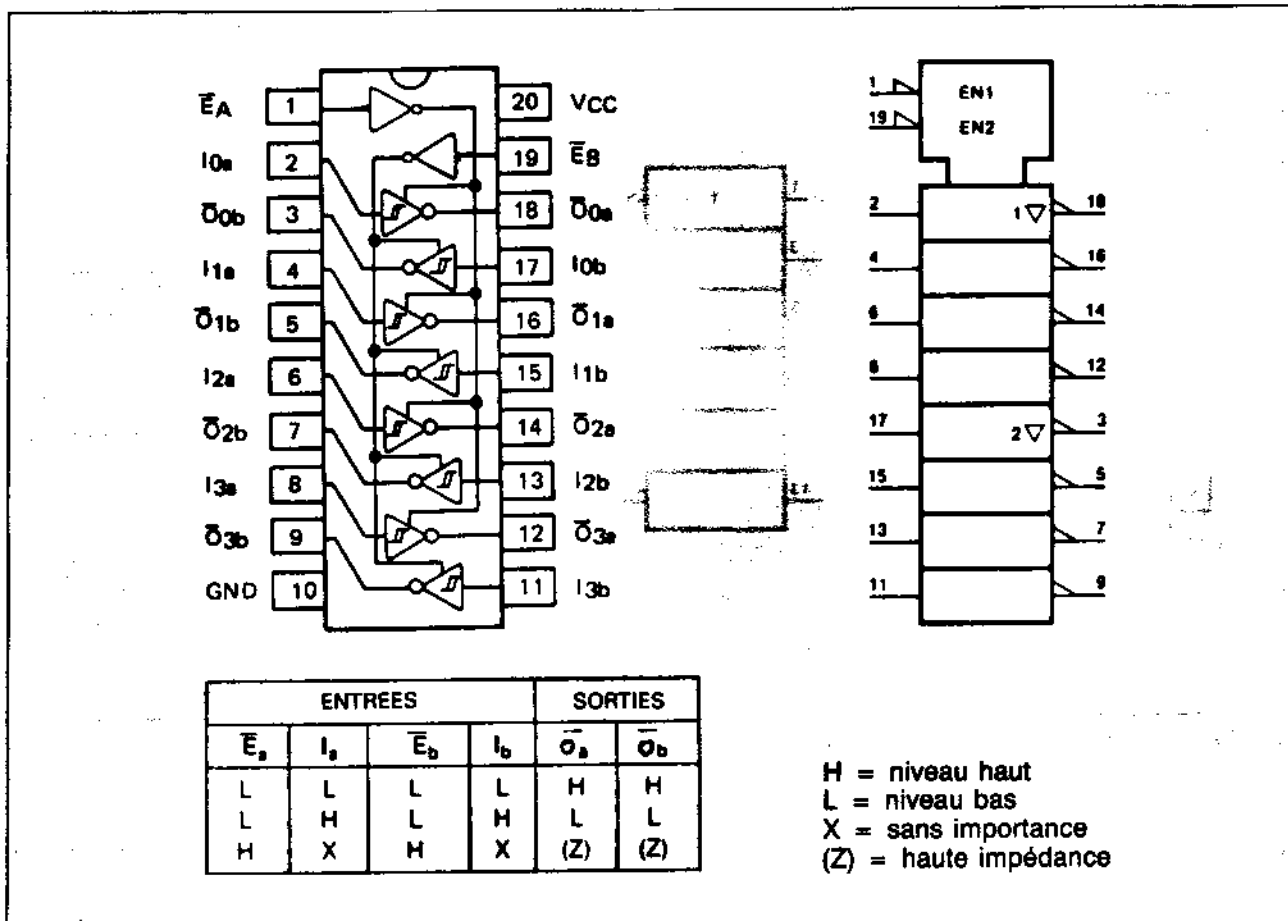


Fig. 9 : 74 HC 240.

Avec le 74HC240 de la figure 9, nous abordons le domaine des circuits intégrés de moyenne complexité : les huit sections de ce composant sont en effet des *buffers trois états* inverseurs. Lorsque l'entrée \bar{E} correspondant à un buffer donné est dans un état haut, la sortie du buffer est en « haute impédance » (Z). L'état de l'entrée de « donnée » I est alors sans importance (X). Lorsque cette entrée \bar{E} passe au niveau bas, les données appliquées à l'entrée I d'un buffer se retrouvent sur la sortie O correspondante, mais *inversées*.

Le 74LS244 de la figure 10 fonctionne de la même façon, mais n'inverse pas les données entre l'entrée et la sortie.

Ces deux composants sont séparés en deux groupes A et B de quatre buffers chacun, mais on utilise généralement les huit buffers ensemble, en réunissant \bar{E}_a et \bar{E}_b .

Le 74LS373 de la figure 11 contient des *bascules D* en amont des huit buffers qui cette fois sont indissociables au niveau de la commande \bar{OE} . Cette disposition permet de « saisir au vol » un groupe de huit états sur les entrées, puis de le recopier plus tard sur les sorties, sans inversion cette fois encore. Un état bas sur l'entrée de commande E provoque la

mise en mémoire des états des huit entrées, tandis qu'un état bas sur \overline{OE} déclenche le transfert des états mémorisés vers les sorties. Bien entendu, les huit sorties restent en « haute impédance » tant que \overline{OE} est à l'état haut.

Ce type de composant sert souvent à réaliser des *ports de sortie*, et les simples buffers des *ports d'entrée*.

Le 74LS273 de la figure 12 n'est pas équipé de buffers : il ne contient que huit bascules qui peuvent mémoriser l'état des entrées lorsqu'une impulsion positive est appliquée à l'entrée d'horloge CP. Toutes les bascules peuvent être remises à zéro simultanément par un niveau bas sur l'entrée \overline{MR} , ou « Master Reset ».

Les entrées du 74LS273 sont évidemment compatibles avec un bus « trois états » comme le bus de données du Z80, mais ses sorties ne le sont pas directement. On peut cependant les utiliser pour créer un *port de sortie*, par exemple pour l'imprimante.

Logé dans un boîtier à 14 broches seulement, le 74LS74 de la figure 13 ne contient que deux bascules, mais équipées d'entrées individuelles de remise à zéro et à un, et aussi de sorties directes et complémentées.

A ceci près, le fonctionnement est semblable : le niveau présent sur l'entrée D (Donnée) est transféré et mémorisé sur les sorties pendant le front montant de l'impulsion appliquée à l'entrée C (Clock).

Assemblage complexe de bascules, le 74HC161 est un *compteur binaire* à quatre étages, pouvant donc compter de zéro à quinze. Différentes entrées de commande permettent toute une variété de fonctionnements spéciaux : prépositionnement à un état quelconque grâce aux entrées « D », remise à zéro, mise en attente, etc. La figure 14 résume les principales caractéristiques de ce composant.

Décodeur BCD-décimal, le 74LS145 de la figure 15 fait passer à l'état bas celle de ses dix sorties qui correspond à la valeur décimale du mot binaire de quatre bits appliquée à ses entrées. Les combinaisons supérieures à 9 sont ignorées.

Le 74LS153 de la figure 16 est pour sa part un *multiplexeur* capable de réaliser deux fois l'aiguillage vers une sortie unique d'une entrée choisie parmi quatre possibles, si \overline{E} est à 0.

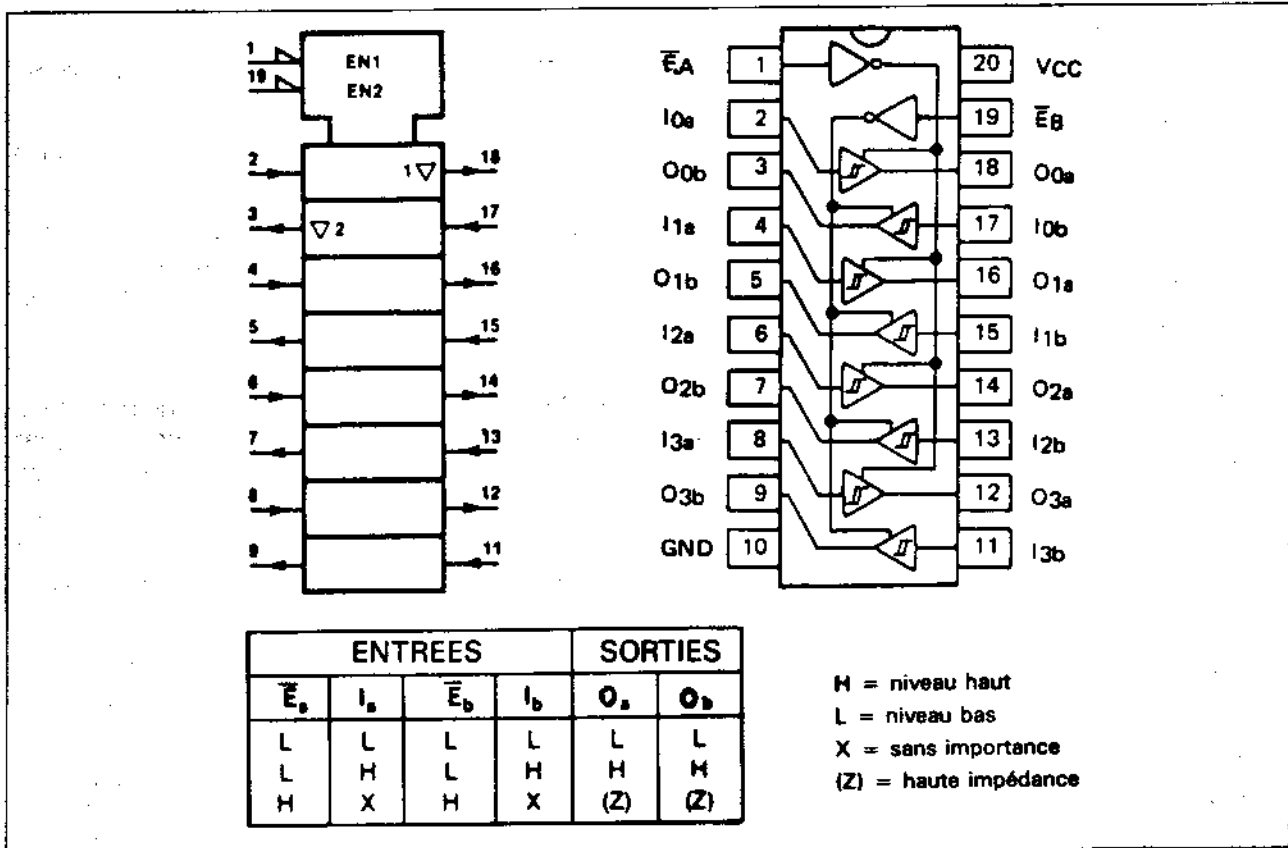


Fig. 10 : LS 244.

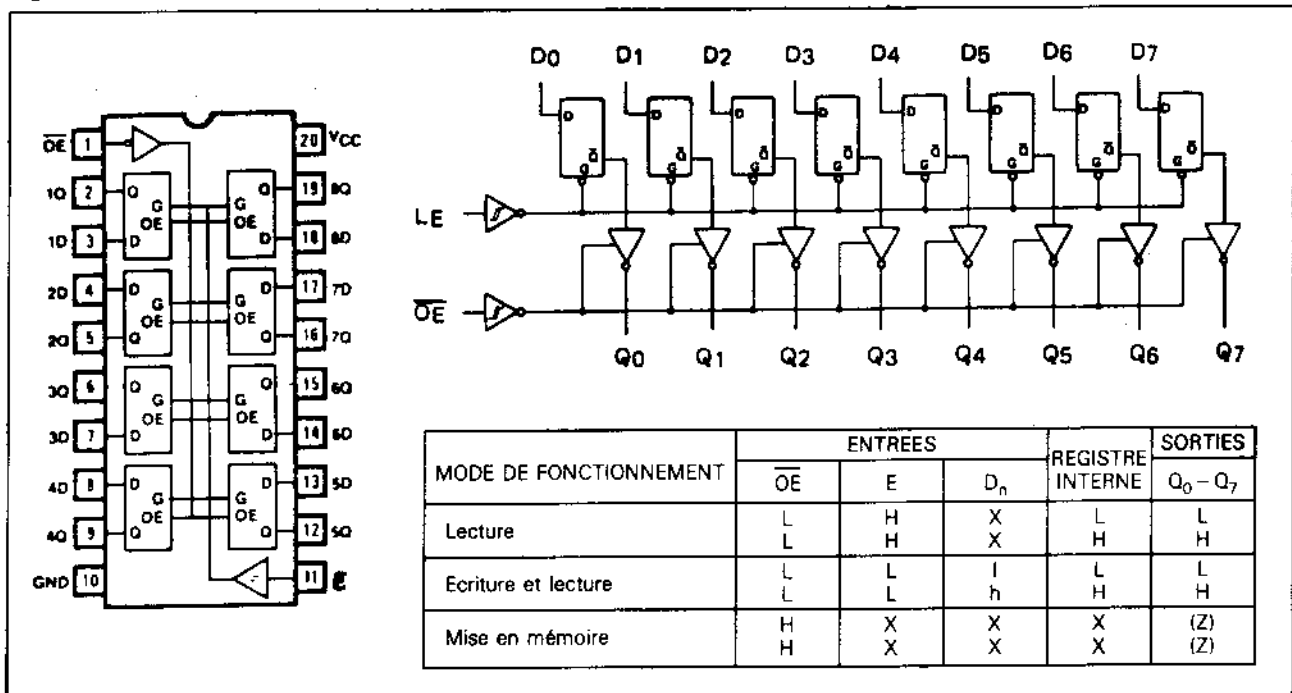


Fig. 11 : LS 373.

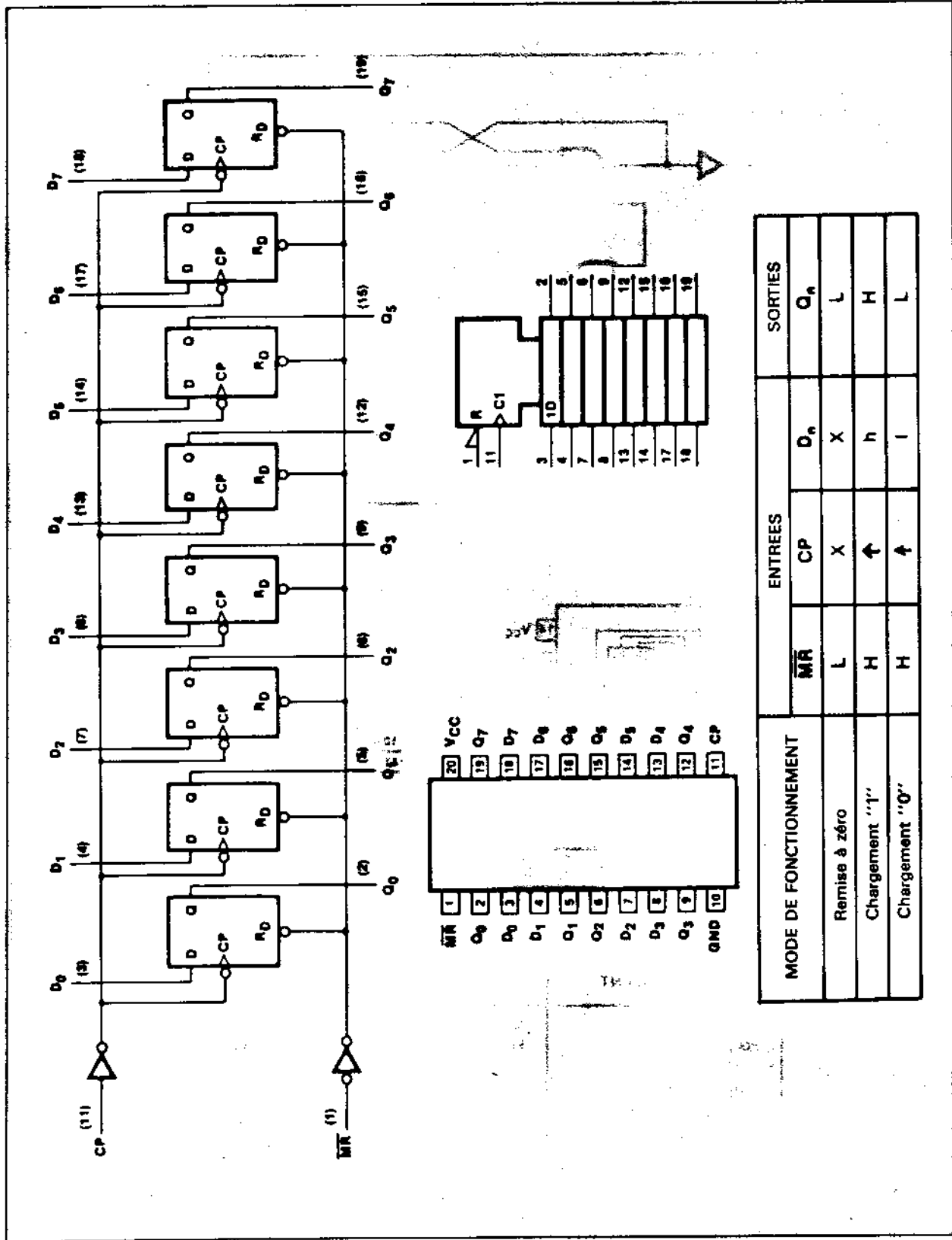
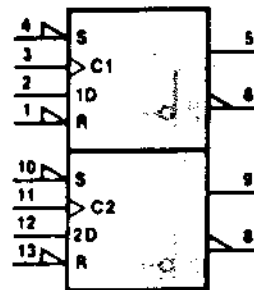
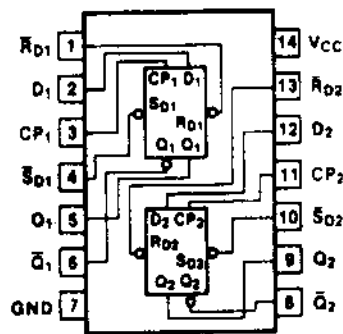
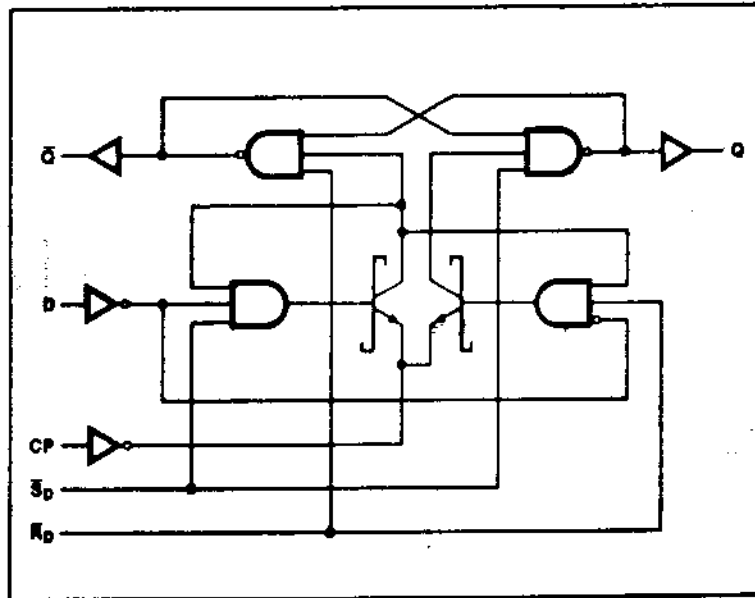


Fig. 12 : LS 273.



MODE DE FONCTIONNEMENT	ENTREES				SORTIES	
	\bar{S}_D	\bar{R}_D	CP	D	Q	\bar{Q}
Forçage à 1	L	H	X	X	H	L
Forçage à 0 (Clear)	H	L	X	X	L	H
Indéterminé	L	L	X	X	H	H
Chargement "1"	H	H	↑	h	H	L
Chargement "0"	H	H	↑	l	L	H

Fig. 13 : 74 LS 74.

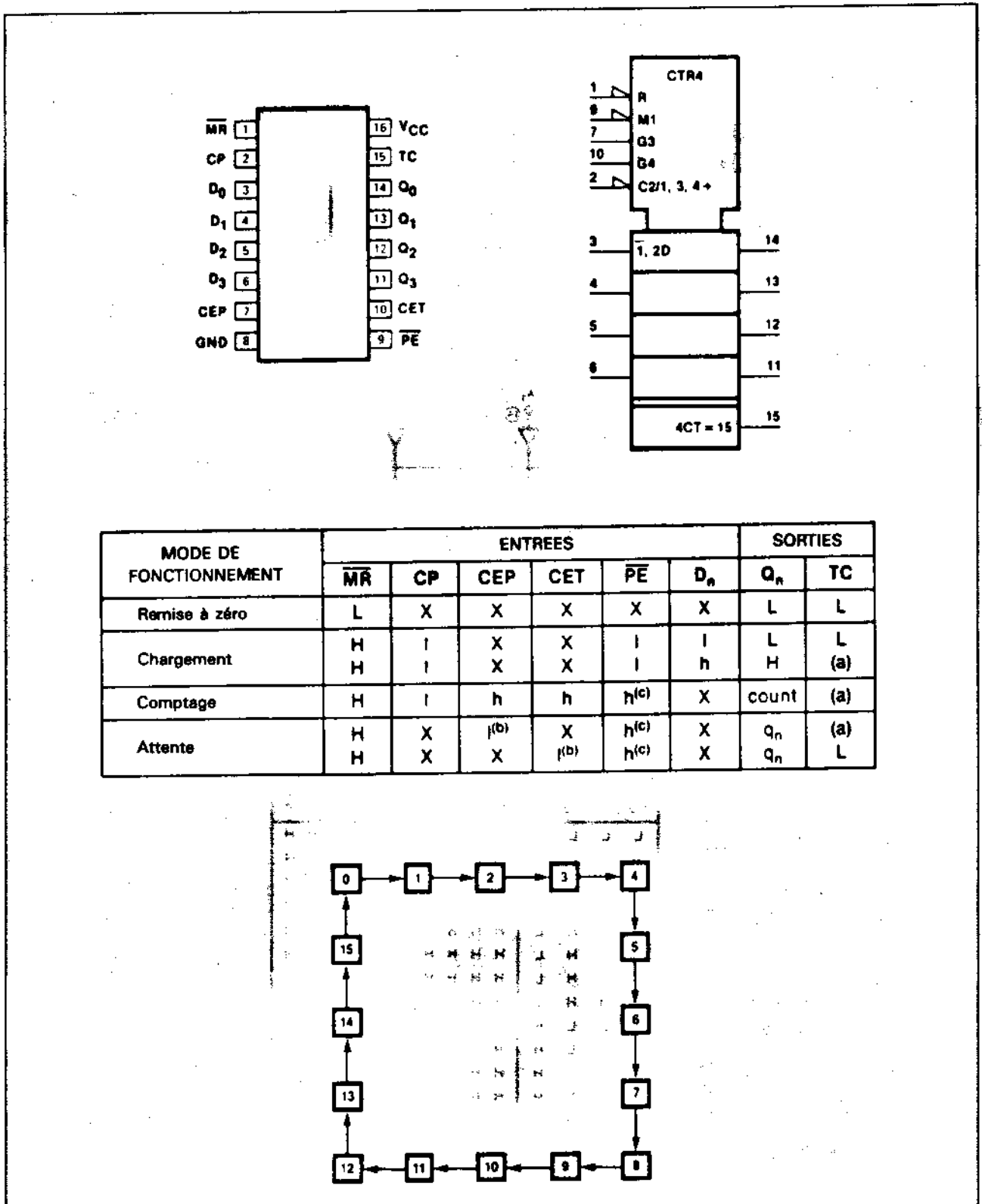


Fig. 14 : 74 HC 161.

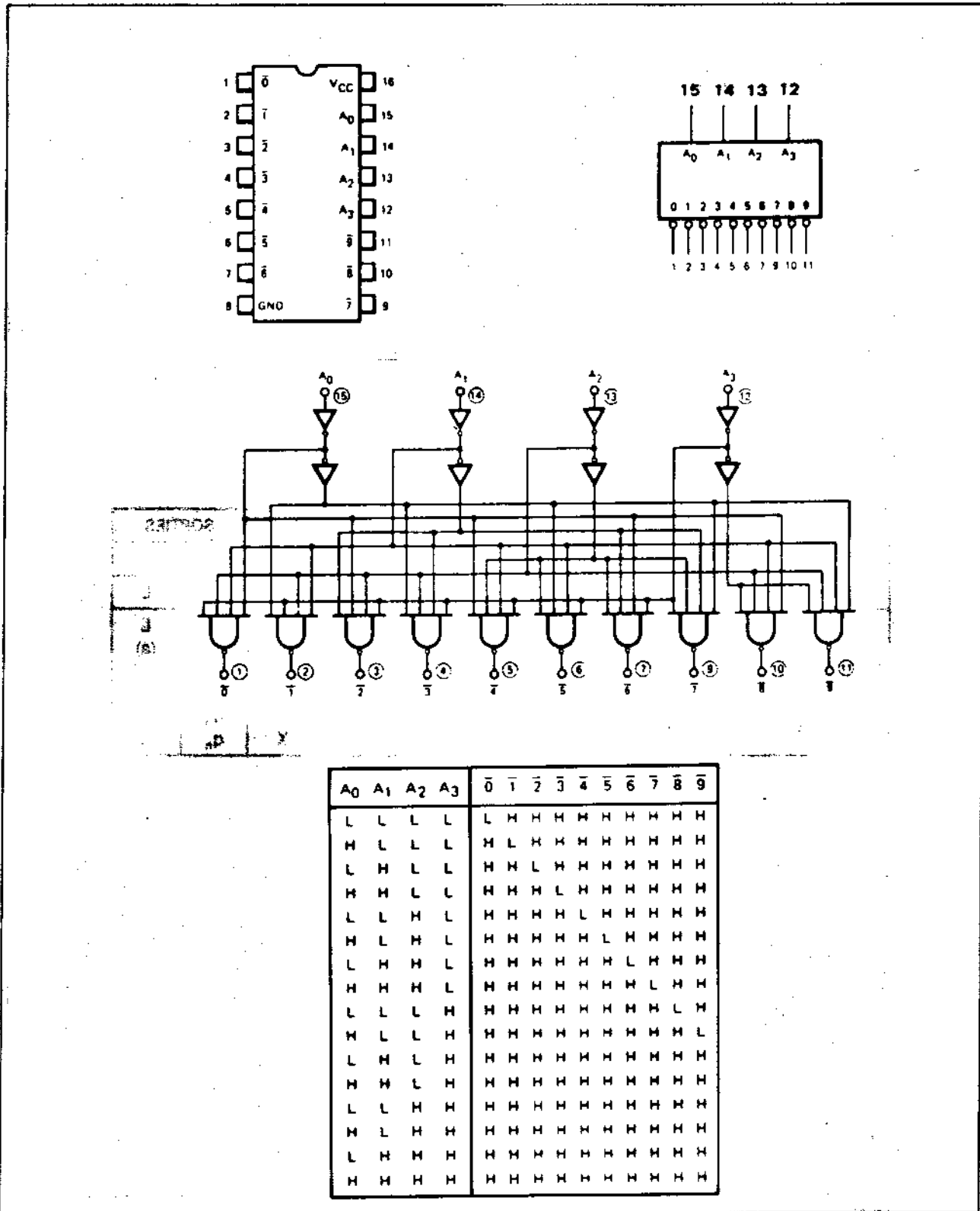


Fig. 15 : LS 145.

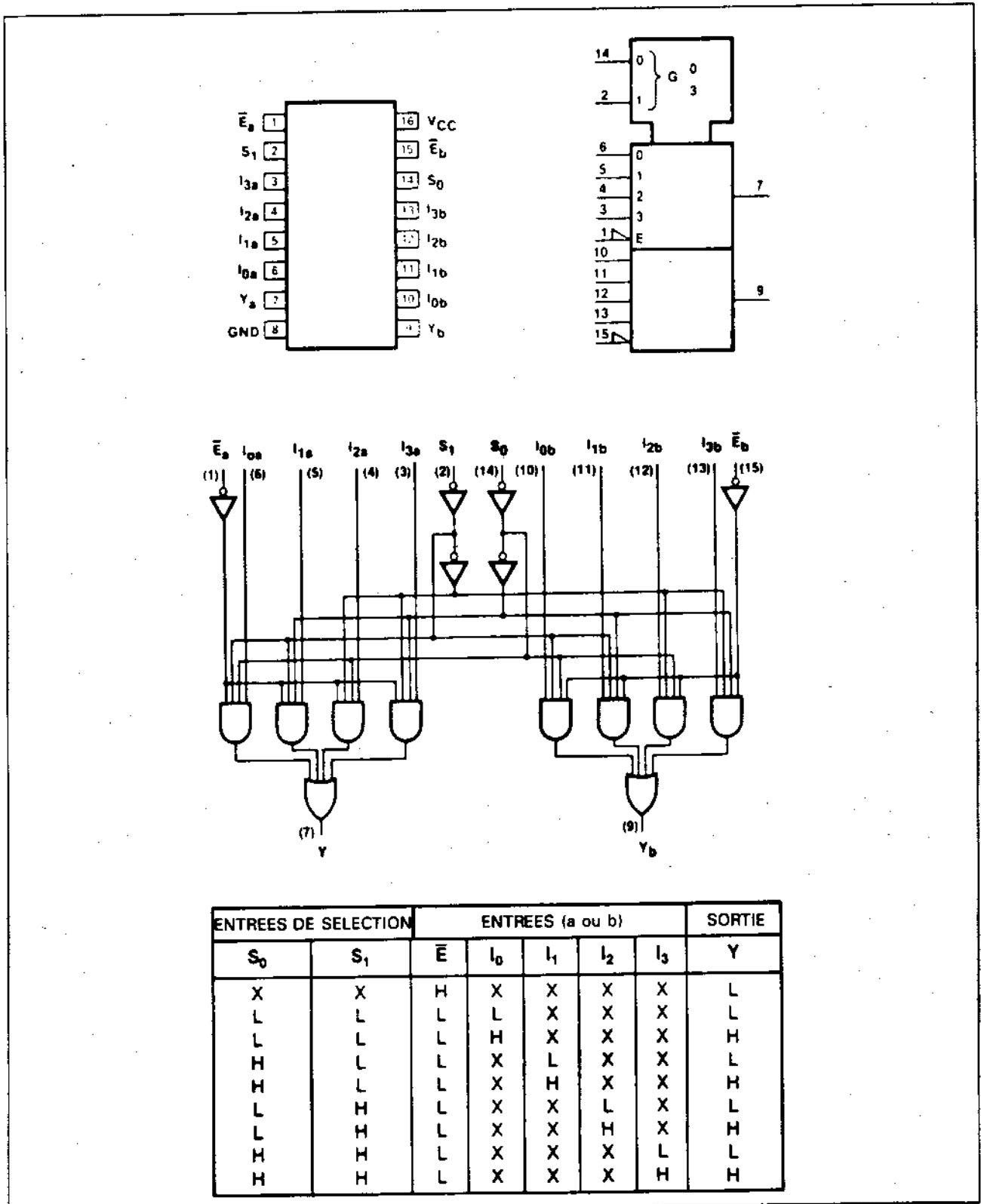


Fig. 16 : LS 153.

2/6

L'horloge interne

Les AMSTRAD CPC 464, 664 et 6128 sont bâtis autour d'un microprocesseur Z 80 A « tournant » à 4 MHz, ce qui est relativement rapide : beaucoup d'ordinateurs personnels équipés d'autres microprocesseurs se contentent de 1 MHz.

La famille Z 80 comprend cependant des composants plus rapides (Z 80 B : 6MHz) et plus lents (Z 80 CPU : 2,5 MHz), ce qui fait que le choix effectué se situe dans une très bonne moyenne.

Le Z 80 A doit donc recevoir sur sa broche 6 (CLK ou clock) un signal rectangulaire de 4 MHz, c'est-à-dire quatre millions d'impulsions ou *périodes d'horloge* par seconde.

Cette fréquence est dérivée d'un signal à 16 MHz produit par un oscillateur à quartz équipé de deux inverseurs appartenant soit à un 74LS00 (TTL Schottky), soit à un 74HCU04 (CMOS rapide).

La division par quatre est opérée dans le circuit « Gate Array » ou « ULA », qui en profite pour élaborer d'autres fréquences à partir de cette référence très stable.

En particulier, le signal 1 MHz $\overline{\text{CPU}}$ est utilisé par le synthétiseur de son AY-3-8912 et par le contrôleur vidéo 6845.

La fréquence de tous les sons pouvant être émis par l'AMSTRAD est donc obligatoirement un *sous-multiple de 1 MHz*, puisque le synthétiseur fonctionne par division de fréquence. En même temps, la précision obtenue sur la sortie « audio » sera celle du quartz, c'est-à-dire extrêmement bonne.

Par contre, il ne sera pas possible de synthétiser n'importe quelle fréquence : les notes de musique seront « arrondies » au plus proche sous-multiple de 1 MHz, ce qui peut être perceptible pour une oreille très « juste ».

Il ne pourra pas non plus être question de produire, par exemple, les paires de fréquences utilisées pour composer des numéros de téléphone en code « multifréquences » car la « résolution » offerte est très inférieure à la tolérance acceptée par les centraux.

Retenons donc que la *stabilité* des fréquences générées est excellente, mais que l'*erreur* par rapport à la fréquence désirée peut être relativement importante, particulièrement aux fréquences les plus hautes qui correspondent à de plus petits rapports de division.

Pour produire des fréquences inaccessibles au générateur de son, on peut toutefois songer à piloter un port de sortie (par exemple le STROBE de l'imprimante) par une routine en langage machine soigneusement « accordée ».

Ce procédé, qui peut être employé pour toutes sortes d'autres « chronométrages », exploite le fait que la fréquence d'horloge est le véritable « chef d'orchestre » du microprocesseur : chaque instruction exécutée, chaque opération effectuée, dure un nombre entier de périodes d'horloge (0,25 microseconde pour 4 MHz). Pour étalonner une routine (ou une partie de routine), il suffit d'additionner le nombre de périodes d'horloge correspondant à chaque instruction, en tenant compte des différents « chemins » possibles (par exemple selon le résultat de comparaisons).

Comme il n'est généralement pas possible d'accélérer une routine (sauf si elle a été maladroitement écrite), le « réglage » se fait par ralentissement : pour perdre « beaucoup » de temps (des millisecondes ou des secondes), on fait « tourner en rond » le programme dans des boucles utilisant généralement l'instruction DJNZ. L'ajustement fin se fait ensuite par introduction d'instructions NOP, qui ne font rien d'autre que « perdre » quatre périodes d'horloge soit une microseconde (un millionième de seconde).

On peut donc dire que l'unité de temps dans laquelle compte le microprocesseur est la microseconde.

Pour calculer la durée d'exécution d'une routine, la connaissance du nombre de cycles machine (voir annexe 2 de la partie 11) ne suffit pas : certains cycles comportent plus de périodes d'horloge que d'autres.

Le tableau 1 donne donc la durée d'exécution des principales instructions, exprimée en périodes d'horloge de 0,25 μ S.

En théorie, on pourrait envisager d'altérer la durée d'exécution des instructions et la fréquence des sons émis par le synthétiseur, en modifiant légèrement la fréquence du quartz de l'oscillateur d'horloge.

En pratique, ce genre d'intervention risque de fausser la fréquence des signaux vidéo produits par le contrôleur d'écran, qui travaille lui aussi par division de la fréquence auxiliaire de 1 MHz : l'affichage écran pourrait alors se trouver sérieusement perturbé.

Cette solution n'est toutefois pas à écarter à 100 % lorsqu'il s'agit de résoudre des problèmes très spéciaux, pour lesquels le moniteur n'est pas forcément indispensable.

On se souviendra cependant que les routines de gestion des différents autres périphériques (lecteur de cassettes ou de disquettes, imprimante, etc.) sont évidemment cadencées par la même horloge, et ne supportent guère d'importants écarts.

